

圧電高分子膜(P(VDF-TrFE))をゲート絶縁膜に用いた ZnO-FET におけるチャンネル構造依存性

Dependence of electrical characteristics on channel layer structure of ZnO-FET integrated with piezoelectric (P(VDF-TrFE)) film for gate insulator

東京理科大¹, 岡山琢哉¹, 松本周作¹, 古川昭雄¹

Tokyo Univ. of Science¹, 〇Takuya Okayama¹, Shusaku Matsumoto¹, Akio Furukawa¹

E-mail: 7318513@ed.tus.ac.jp

接触センシング技術は、ロボットや透明タッチパッドなど様々な分野で重要な役割を担っている¹⁾。本研究は、FETのゲート絶縁膜に圧電体材料を用いる事により、圧力検出を行うセンサ部とFETを一体化した接触センサデバイスの作製を目的としている。これまで、AlドープZnO層チャンネル上に直接P(VDF-TrFE)ゲート絶縁膜を成膜したFETの特性を報告してきたが²⁾、本報告では、チャンネル上にバンドギャップがやや広いMgZnOを積層させ、その上にP(VDF-TrFE)ゲート絶縁膜を成膜したFETにおけるチャンネル電流の変化等の特性について報告する。

今回作製したFETの構造を図1と図2に示す。FETのゲート絶縁膜として強誘電体材料であるP(VDF-TrFE)(75/25)を用い、半導体層には安価で比較的低い温度で結晶成長できるZnO系の膜を用いた。半導体層はRFマグネトロンスパッタ法、絶縁膜に用いたP(VDF-TrFE)はスピコート法により700nm成膜し135°Cで2時間熱処理を行った。ソース・ドレイン電極はPt/Ti、ゲート電極にはAuを用いた。図1はAlドープZnO層チャンネル上に直接P(VDF-TrFE)を成膜したものの、図2はAlドープZnO層チャンネル上にバンドギャップがやや広いMgZnOを成膜し、その上にP(VDF-TrFE)を成膜した構造である。FETのチャンネルのソース・ドレイン間は1mm、チャンネル幅は5mmである。絶縁層に用いたP(VDF-TrFE)は強誘電性を持つため、分極によりチャンネル電流が変化する。

図1の構造でのFETの分極前後のドレイン電流-電圧特性を図3、図2でのFETの分極前後のドレイン電流-電圧特性を図4に示す。両者を比べるとAlドープZnO層の上部にMgZnO層がある図4の方が図3に比べて I_{DS} が小さく、チャンネルの抵抗値が10倍程度になっている事がわかる。また、分極前後の I_{DS} - V_{DS} 特性を比較すると、図3では約45%程度の電流値の減少がみられ、図4では約98%の電流値が減少した。AlドープZnO層の上部にMgZnOを堆積させる事により、元々のチャンネル電子濃度が減少し、分極により電流減少割合が大きくなったと考えられる。チャンネル電子濃度の減少は、AlドープZnO層が直接P(VDF-TrFE)膜に接触するとき界面に溜まっていた電子数がMgZnO層を間に挿入することによって抑えられた可能性が考えられる。

1) R. Dahiya, G. Metta, M. Valle, A. Adami, and L. Lorenzelli: Appl. Phys. Lett. 95, 034105 (2009).

2) 岡山琢哉, 松本周作, 古川昭雄: 「圧電高分子膜(P(VDF-TrFE))一体型 ZnO-FET の熱処理前後の評価」第66回応用物理学会春季学術講演会, 10a-PA3-7, 2019年3月10日

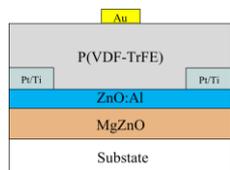


図1 試料構造

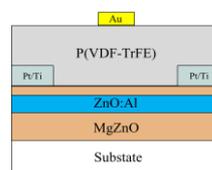
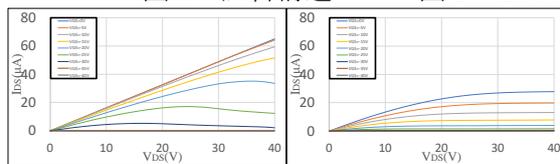
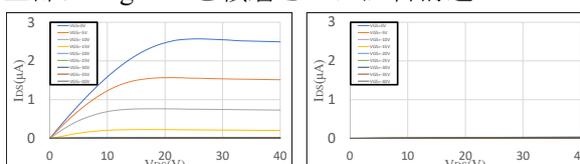


図2 ZnO:Al 上部に MgZnO を積層させた試料構造



分極前
分極後
図3 図1 構造における I_{DS} - V_{DS} 特性



分極前
分極後
図4 図2 構造における I_{DS} - V_{DS} 特性