耐放射線イメージセンサに向けた SOI-Si/4H-SiC 画素集積化プロセス

SOI-Si/4H-SiC pixel array fabrication process for radiation hardened image sensors °目黒 達也¹, 長谷部 史明¹, 武山 昭憲², 大島 武², 田中 保宣³, 黒木 伸一郎¹

¹広島大学ナノデバイス・バイオ融合科学研究所,²量子科学技術研究開発機構,³産業技術総合研究所

°Tatsuya Meguro¹, Fumiaki Hasebe¹, Akinori Takeyama², Takeshi Ohshima²,

Yasunori Tanaka³, and Shin-Ichiro Kuroki¹

¹Research Institute of Nanodevice and Bio Systems, Hiroshima University,

²National Institutes for Quantum and Radiological Science and Technology (QST),

³National Institute of Advanced Industrial Science and Technology (AIST)

E-mail: {meguro, skuroki}@hiroshima-u.ac.jp

【はじめに】原子力発電所の安全な廃炉プロセス実行のための耐放射線電子デバイスが必要とされて いる。廃炉用ロボットの稼動時間は、電子デバイスによって制限される。放射線遮蔽の金属板は可視 光カメラへの適用が難しく、カメラ自体が耐放射線性を備えることが重要な課題である。4H-SiC は優 れた耐放射線性をもつ魅力的な半導体である[1-3]。しかし可視光の吸収がないことから、フォトダイ オード (PD) には適さない。一方で従来の Si-CMOS イメージセンサでは各画素が備える Si-MOSFET への影響が顕著である。これらより SiC-MOSFET と Si-PD の組み合わせは、耐放射線性を備えたイメ ージセンサ実現への有力な選択肢となっている。本研究では耐放射線イメージセンサ実現に向け、 SOI-SiC 基板接合を用いた同一基板上への SOI-Si PD と SiC MOSFET の集積化プロセスを検討した。

【デバイス作製プロセス】画素のトランジスタには p型 4H-SiC MOSFET を採用した。基板は n型 4H-SiC (0001) 4° オフで、エピタキシャル層の不純物濃度は 1.0×10^{15} cm⁻³ である。Al の熱イオン注入と カーボンキャップ層を用いた 1700°C でのアニールにより、ドレインソース領域を形成し、続いて 1150°C の熱酸化によって、ゲート絶縁膜を 20 nm 成膜した。Si-PD は厚さ 500 nm の p型 Si 活性層を持つ SOI 基板を用いて作製された。Si-PD の p+領域形成のため、p型 Si 活性層全面に B イオンを注入した後、 SOI 基板と 4H-SiC エピタキシャル基板を接合した。SOI ウェハの Si 支持層と BOX 層を除去すると、p型 Si 活性層 500 nm が 4H-SiC 上に残る。この SOI-Si/4H-SiC 基板全面へ P イオンの注入を行い、Si-PD の n+領域を形成した。続いて p型 Si 活性層をドライエッチングし Si-PD と、4H-SiC MOSFET の Si ゲートを形成した。最後に層間絶縁膜を堆積し、コンタクトホールおよび Al 配線を形成した。

【結果】作製した 64 ピクセルイメージセンサの顕微鏡写真を図 1 に示す。SOI-Si PD は 1 辺 500 µm、 4H-SiC p-MOSFET はチャネル長 10 µm、チャネル幅 50 µm である。イメージセンサは 8×8 画素で構成 されており、電極パッドを除いた全体の大きさはおよそ 8 mm である(図 2)。以上は SOI-Si PD と 4H-SiC pMOSFETを備える 64 個のピクセルデバイスが同一基板上に集積化可能であることを示すものである。

【謝辞】本研究の一部は、文部科学省「英知を結集した原子力科学技術・人材育成推進事業 戦略的 原子力共同研究プログラム」の支援による。

[1] S. S. Suvanam, S.-I. Kuroki, L. Lanni, R. Hadayati, T. Ohshima, T. Makino, A. Hallen, C.-M. Zetterling, IEEE Tran. Nucl. Sci., 64, 852-858 (2017).

[2] S.-I. Kuroki, H. Nagatsuma, M. De Silva, S. Ishikawa, T. Maeda, H. Sezaki, T. Kikkawa, T. Makino, T. Ohshima, M. Östling, and C.-M. Zetterling, Mat. Sci. Forum, 858, pp864-867 (2016).

[3] J. Kajihara, S-I. Kuroki, S. Ishikawa, T. Maeda, H. Sezaki, T. Makino, T. Ohshima, M. Östling, and C.-M. Zetterling, ICSCRM2017, WE.DP.4 (2017).



Fig. 1. Optical microphotograph of SOI-Si PD/4H-SiC pixel array.



Fig. 2. Pixel array chip with SOI-Si/SiC bonded substrate.