

Al₂O₃/p-GaN MOS 構造に対する熱処理の効果

Effect of heat-treatment on Al₂O₃/p-GaN MOS structure

○古川 暢昭¹, 上沼 睦典¹, Simon Kotzea², 石河 泰明¹, Andrei Vescan², 浦岡 行治¹

奈良先端大¹, アーヘン工科大²

Masaaki Furukawa¹, Mutsunori Uenuma¹, Simon Kotzea², Yasuaki Ishikawa¹, Andrei Vescan²,
Yukiharu Uraoka¹ 1.NAIST, 2.RWTH Aachen Univ.

E-mail: furukawa.masaaki.fi2@ms.naist.jp, uenuma@ms.naist.jp

1. 背景・目的

GaN MOS デバイスにおいては、絶縁膜/GaN 異種接合界面の品質によってデバイス特性が著しく低下する。そのため、堆積絶縁膜及び界面制御は重要な課題である。p-GaN MOS キャパシタの電気的特性に関する報告はいくつかあるが、C-V 特性において大きなヒステリシスが観測される、蓄積状態が確認されないなど課題が多い[1,2]。本研究では、p-GaN を用いた MOS キャパシタを作製し、その電気的特性に対する熱処理の効果を検討した。

2. 実験方法

サファイア基板上にバッファ層、n 層、p⁺層(Mg 濃度 $5 \times 10^{19} \text{ cm}^{-3}$)及び p⁺⁺層(Mg 濃度 $2 \times 10^{20} \text{ cm}^{-3}$)を順にエピ成長した p⁺⁺-GaN/p⁺-GaN/サファイア基板を用いた。ICP-RIE によって p⁺層を露出させたのち、N₂ 中 850°C で 15 分間活性化処理を施した。その後、EB 蒸着を用いて p⁺⁺層上に Pd/Au のオーミック電極を堆積した。続いて、ALD によって 20 nm の Al₂O₃ を堆積した後、PDA(400°C, N₂, 10 min)を実施した。EB 蒸着によって電極を堆積し、MOS 構造を作製した(図 1)。電気的特性を評価し、さらに、PMA(400°C, N₂, 10 min)を行った後、二度目の電気的特性を評価した。

3. 結果・考察

図 2 に MOS キャパシタの C-V 特性を示す。1/C²プロットから算出した p⁺層のアクセプタ濃度は約 $1.5 \times 10^{19} \text{ cm}^{-3}$ であり、Mg 濃度と近い値であることから、Mg は十分に活性化していると考えられる。すべての条件において大きなヒステリシスが存在している。蓄積側から空乏側に電圧を掃引した際、蓄積領域は観測されず、最大容量値は Al₂O₃ 膜厚から予測される値(320 nF/cm²)よりも小さかった。図 3 に、C=190 nF/cm² における各サンプルのヒステリシス幅を示す。PDA 及び PMA を施すことにより、熱処理なしのサンプルよりもヒステリシスが低減されることが分かった。また、ヒステリシスの低減効果は PMA よりも PDA の方が大きく、PDA 後のサンプルにさらに PMA を施すとヒステリシスは増加している。これは n-GaN MOS の場合には見られない変化であり、p-GaN MOS に特有の性質であると考えられる。また、当日は他の熱処理についても報告する。

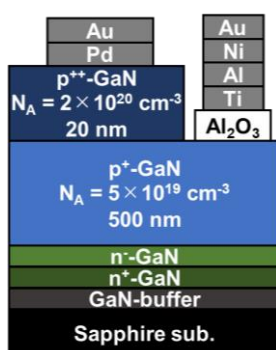


Fig.1 Schematic of p-GaN MOS capacitor

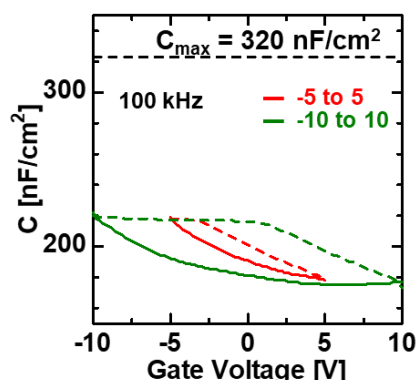


Fig. 2 C-V characteristics of MOS capacitor w/o heat-treatment

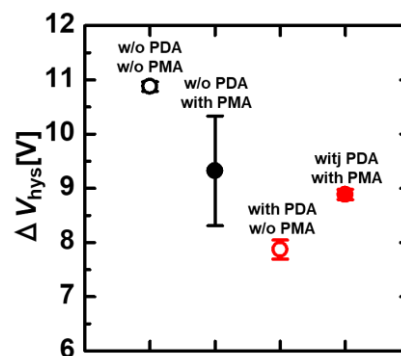


Fig.3 C-V hysteresis of MOS capacitors

[1] H. Matsuyama et al., 第 79 回応用物理学会秋季学術講演会(2018), 18p-PA6-16,

[2] T. Yamada et al., 第 79 回応用物理学会秋季学術講演会(2018), 19p-CE-10