

異なる堆積法を用いて作製した SiO₂/n-GaN 界面の DLTS 測定による評価DLTS studies of interface states for SiO₂/n-GaN deposited by different methods愛知工大¹, トヨタ自動車² ○田村 和也¹, 徳田 豊¹, 大川峰司², 富田英幹²Aichi Inst. of Technol.¹, Toyota Motor Corporation²Kazuya Tamura¹, Yutaka Tokuda¹, Takashi Okawa², Hidemoto Tomita²

E-mail: v18713vv@aitech.ac.jp

【はじめに】

GaN MOSFET の高性能化の実現のためには、GaN と絶縁体の界面に低い界面準位密度が求められる。DLTS 法は、MOS 界面準位密度評価の有効な測定法である。本研究では DLTS 測定により、異なる堆積法を用いて作製した SiO₂/n-GaN の界面準位密度の評価を行ったので報告する。

【実験方法】

用いた試料は n⁺GaN 基板に MOVPE により成長させた n-GaN (2 μm, 5 × 10¹⁶ cm⁻³) である。SiO₂ 膜は、p-CVD 法 (100 nm) と ALD 法 (45 nm) の 2 種類により堆積させた。その後 PDA (800°C, N₂, 5 分間) を行っている。Ni 蒸着によりゲート電極、Al スパッタ法によりオーミック電極を形成し、MOS キャパシタを作製した。電極形成後、475°C, N₂, 5 分間の熱処理を行った。DLTS 測定は 80K ~ 400K の温度範囲で行い、界面準位密度の評価を行った。

【実験結果】

DLTS 測定の測定結果を図 1 に示す。両試料共に DLTS 測定の温度範囲にわたってブロードな信号が観測された。また、ALD 堆積 SiO₂/n-GaN MOS の信号には、130K, 280K 付近にバルクトラップからの信号と考えられるピークが観測された。界面準位とバルクトラップを含む信号から、バルクトラップからの信号を分離することで界面準位を評価した結果が図 2 である。図 2 より、p-CVD 堆積 SiO₂/n-GaN MOS 界面準位密度は 3.1~6.3 × 10¹¹ eV⁻¹cm⁻²、ALD 堆積 SiO₂/n-GaN MOS 界面準位密度は 0.5~2.2 × 10¹¹ eV⁻¹cm⁻² であり、特に浅い準位において、ALD 堆積 SiO₂/n-GaN MOS 界面準位密度の低下が見られる。

【まとめ】

p-CVD 堆積 SiO₂/n-GaN の界面準位は ALD 堆積 SiO₂/n-GaN に比べ、浅い準位で大きな値を示した。プラズマによる損傷が懸念される。現在、n-GaN バルクトラップの評価を行っている。

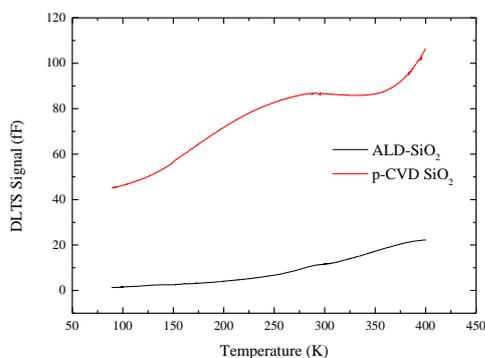


Fig. 1, DLTS spectra for n-GaN MOS.

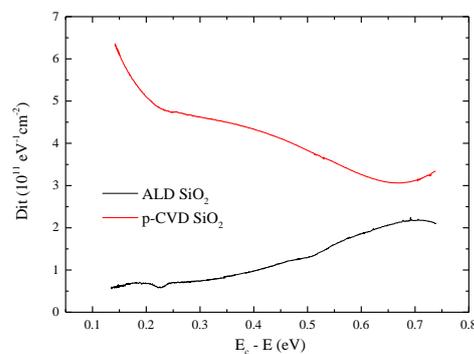


Fig. 2, Interface state density distribution for n-GaN MOS.