

SiO₂膜中への Ga 拡散制御によるゲート絶縁膜信頼性の改善

Improvement of Gate Insulator Reliability

by Controlling Ga Diffusion into SiO₂ Layer in SiO₂/GaN MOS Devices

阪大院工¹, [○](M1)和田 悠平¹, 野崎 幹人¹, 細井 卓治¹, 志村 考功¹, 渡部 平司¹

Osaka Univ.¹, [○]Yuhei Wada¹, Mikito Nozaki¹,

Takuji Hosoi¹, Takayoshi Shimura¹, and Heiji Watanabe¹

E-mail: y-wada@asf.mls.eng.osaka-u.ac.jp

【はじめに】高性能GaNパワーMOSFETの実現には、高品質なゲートスタックの形成が不可欠である。これまで、我々はSiO₂/GaN構造の熱酸化により極薄GaO_x界面層を有したSiO₂/GaO_x/GaN MOSキャパシタを作製し、良好な界面特性を報告してきた[1]。一方、SiO₂/GaN構造において、700~900°Cの熱処理でSiO₂膜中にGaが拡散することが指摘されており、ゲート絶縁膜信頼性の劣化が懸念される[2]。これに対し我々は、短時間の急速熱処理や、N₂希釈酸素プラズマを用いた表面酸化制御によるGa拡散の抑制を報告してきた[3]。今回、SiO₂のパターニングによってGa拡散を制御したSiO₂/GaN MOSデバイスの信頼性改善について報告する。

【実験方法と結果】n型GaNエピ層を有する自立GaN基板に、プラズマCVDによって厚さ約20 nmのSiO₂層を成膜した。SiO₂絶縁膜をウェットプロセスで直径120~420 μmの円形にパターニング処理した試料と未処理の試料の2つに対し、大気圧O₂雰囲気中で、800°C、30分間の熱処理を施した。その後、両試料に対し直径100~400 μmのゲート電極を形成し、MOSキャパシタを作製した。作製したMOSキャパシタのC-V特性はFig. 1に示すように、パターニング処理の有無に関わらずほぼ一致した。一方、I-V特性はいずれの試料でもパッド間でばらつき、Fig. 2で示すように三つの絶縁破壊モードが確認できた。モードIは2 MV/cm以下の低電界での破壊であり、パーティクルなどの外的要因が原因と考えられる。モードIIは2~6 MV/cm付近の電界での破壊であり、Ga拡散の影響を受けたSiO₂の破壊耐性を反映していると考えられる。モードIIIはFN電流が流れた後の7 MV/cm以上での破壊であり、一般的なSiO₂の絶縁破壊耐圧に近い。両試料の直径100 μm、200 μmパッドでのI-V特性において、リーク電流値が1 nAとなる電界を絶縁破壊電界 (E_{BD}) としたときのWeibullプロットをFig. 3に示す。直径100 μmのパッドにおいて、パターニング処理を行った試料ではモードIIIが支配的なのに対し、未処理の試料ではモードIIが支配的となった。一方で直径200 μmのパッドでは、いずれの試料でも絶縁特性が劣化した。一般的に絶縁膜のパターニング工程は信頼性の劣化を引き起こすが、直径100 μmの円形にSiO₂をパターニングした場合には絶縁性は向上した。一方で直径200 μmの場合には大きな特性の差は見られなかったことから、SiO₂の面積が十分に小さい場合にはGaのパターン端部への拡散が促進され、ゲート電極直下のGa不純物濃度が低下したことで絶縁破壊耐圧が向上したと予想される。

【謝辞】本研究の一部は、総合科学技術・イノベーション会議のSIP（戦略的イノベーション創造プログラム）「次世代パワーエレクトロニクス」（管理法人：NEDO）、並びに文部科学省「省エネルギー社会の実現に資する次世代半導体研究開発」の委託を受けたものである。

【参考文献】[1] T. Yamada *et al.*, Appl. Phys. Express **11**, 015701 (2018). [2] J. Gyulai *et al.*, Appl. Phys. Lett. **17**, 332 (1970). [3] T. Yamada *et al.*, Jpn. J. Appl. Phys. **58**, SCCD06 (2019).

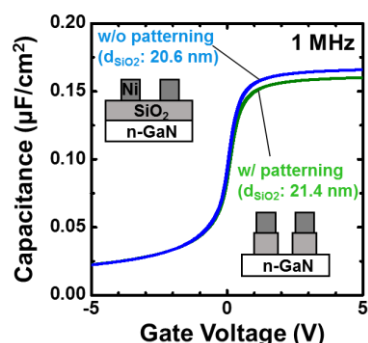


Fig. 1 Typical C-V characteristics for SiO₂/n-GaN MOS capacitors with thermal oxidation at 800°C.

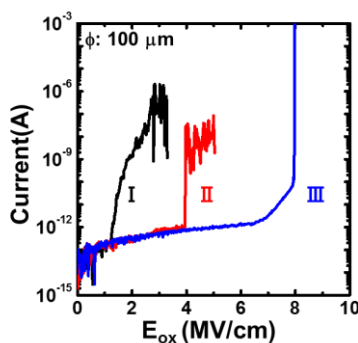


Fig. 2 Variation of I-V characteristics for SiO₂/n-GaN MOS capacitors with thermal oxidation at 800°C.

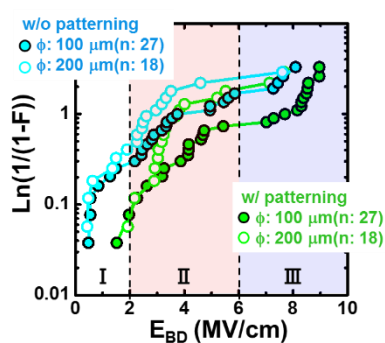


Fig. 3 Weibull plots of dielectric breakdown field for SiO₂/n-GaN MOS capacitors with and without SiO₂ patterning.