## 不均一な界面欠陥分布が SiC MOSFET のチャネル移動度に及ぼす影響 — 局所 DLTS 測定とデバイスシミュレーションに基づく検討 — Influence of non-uniform interface defect distribution on channel mobility in SiC MOSFET — Study based on local DLTS measurement and device simulation — 東北大通研 <sup>°</sup>山末 耕平,山岸 裕史,長 康雄 Tohoku Univ. <sup>°</sup>Kohei Yamasue, Yuji Yamagishi, and Yasuo Cho E-mail: yamasue@riec.tohoku.ac.jp

SiC MOSFET のチャネル移動度は絶縁膜-基板界面における界面準位密度(Dit)に強く依存する ことが知られている.このため,窒化処理などの POA (Post Oxidation Annealing) により, D<sub>it</sub>を低 減する研究が行われており、実際、チャネル移動度の向上が達成されている.しかしながら、得 られるチャネル移動度は、バルク移動度に対して1桁小さいのが現状である. SiO<sub>2</sub>/SiC 界面の D<sub>it</sub> について,最近,我々のグループでは走査型非線形誘電率顕微鏡 (SNDM) を用いた研究を行い, SNDM 像にみられる信号強度の不均一の強さと D<sub>it</sub> およびチャネル移動度が正の相関を持つこと を明らかにした[1]. また, Dit の面内分布をナノスケールで定量測定可能な局所 DLTS 法 を開発 し、Ditが不均一な面内分布を持つことを示した [2]. これらの結果は、Ditの分布とチャネル移動 度の強い関連を示唆する.以下では、実測された Dit分布に基づくモデルを用いたデバイスシミュ レーションにより, D<sub>it</sub> の不均一な分布がチャネル移動度に及ぼす影響を検証した結果を報告する. シミュレーションのため Dit 分布を考慮可能なプレーナ型 n チャネル SiC MOSFET のモデルを 作成した(チャネル幅×長さ=1  $\mu$ m×1  $\mu$ m,  $d_{ox}$ =10 nm,  $N_d$ =1×10<sup>19</sup> cm<sup>-3</sup> (n型基板), 1×10<sup>15</sup> cm<sup>-3</sup> (p 型領域)).キャリア散乱機構として、文献[3]に基づいて SiC MOSFET で支配的とされるクーロン 散乱および表面ラフネス散乱を仮定した.局所 DLTS 観察は,熱酸化のみ(酸化時間 60 min.)お よび POA として窒化処理(60 min., 1250℃, NO 雰囲気下)を適用した 2 種類のウェハについて 行い, D<sub>it</sub> (E<sub>it</sub> = 0.35eV)の面内分布を測定した. 実測した D<sub>it</sub>分布をモデルに組み込み, 市販の デバイスシミュレータ(Silvaco, Atlas Device 3D)を用いて,図の電界効果移動度(μ<sub>FE</sub>)のゲート 電圧(Vg)依存性を得た(図(a) POA 未処理.図(b) POA 処理済).図中,赤色実線(細),青色実 線(太)はそれぞれ D<sub>it</sub>が不均一および均一な場合の特性である.比較のため D<sub>it</sub>の面内平均値は 各場合で等しいと仮定した.図(a)に示すように,POA 未処理の場合,D<sub>it</sub>分布(平均値 1.9×10<sup>13</sup>  $cm^{-2}eV^{-1}$ )の有無に関わらず  $\mu_{FE}-V_g$ 特性は合致し、 $\mu_{FE}$ のピーク値  $\mu_{FE}^{Pk}$ は約6  $cm^2/Vs$ と予測され た. これは POA 未処理の場合, Dit が大きいこと自体が µFE 低下の原因であり, 分布の影響は小さ いことを意味する. 一方, POA 処理済の場合, 局所 DLTS 測定結果によれば, D<sub>it</sub>は約 1/6 に低減 され(平均値 3×10<sup>12</sup> cm<sup>-2</sup>eV<sup>-1</sup>), その場合, μ<sub>FE</sub><sup>pk</sup> は未処理の場合に比較して 1 桁改善され約 47 cm<sup>2</sup>/Vs となることが予測される(実測値 38 cm<sup>2</sup>/Vs).ここで,仮に均一な Dit が実現したと仮定す ると、 $\mu_{\rm FE}^{\rm pk}$ は 52 cm<sup>2</sup>/Vs になり、 $D_{\rm it}$ が不均一な場合に比較して向上することが予測される.他方、 D<sub>it</sub>の不均一がより大きい場合を仮定すると、μ<sub>FE</sub><sup>pk</sup>は 20%程度低下し、41 cm<sup>2</sup>/Vs になるとの予測 が得られた(図(b)中,緑色破線). 局所 DLTS を用いた研究では、POA 処理によって Dit が低下す る一方で、不均一がむしろ強調される結果が得られている[3]. したがって、本結果は、D<sub>it</sub>の低減 に加えて、その面内不均一の低減がチャネル移動度の向上に寄与することを示す. なお、本研究 では酸化膜内固定電荷の影響についても議論しており,発表ではその点についても触れたい. 謝辞 試料と評価結果を御提供頂きました産総研・奥村元博士をはじめとする皆様に感謝致します.

また、本研究の一部は科 研費(16H06360)および NEDO/SIPの補助を受け ています.

参考文献 [1] N. Chinone *et al.*, Appl. Phys. Lett. 111, 061602(2017). [2] N. Chinone and Y. Cho, J. Appl. Phys 122, 105701 (2017). [3] V. Tilak, Phys. Status Solidi A, 206, 2391 (2009).



