

## SiO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> 絶縁膜を有する 3C-SiC n-MOS キャパシタの 固定電荷と界面ダイポール解析

### Charge analysis of SiO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> gate dielectric on (111) oriented 3C-SiC

九大総理工<sup>1</sup>, 九大GIC<sup>2</sup>, エア・ウォーター<sup>3</sup>

○岡 龍誠<sup>1</sup>, 山本 圭介<sup>1</sup>, 王 冬<sup>1</sup>, 中島 寛<sup>2</sup>, 菱木 繁臣<sup>3</sup>, 川村 啓介<sup>2,3</sup>

IGSES Kyushu Univ.<sup>1</sup>, GIC Kyushu Univ.<sup>2</sup>, Air water<sup>3</sup>

○R. Oka<sup>1</sup>, K. Yamamoto<sup>1</sup>, D. Wang<sup>1</sup>, H. Nakashima<sup>2</sup>, S. Hishiki<sup>3</sup>, K. Kawamura<sup>2,3</sup>

1. はじめに 我々は SiO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> の積層構造を有する(111) 3C-SiC n-MOS キャパシタが良好な C-V 特性・界面準位を有することを示した[1,2]。この MOS キャパシタのフラットバンド電圧(V<sub>fb</sub>)はややマイナス寄りであったが[1,2]、MOSFET を適切な電圧で ON/OFF させるためには、V<sub>fb</sub> とも関連するしきい値電圧(V<sub>T</sub>)の制御が重要である。積層構造のゲート絶縁膜に関しては、各絶縁膜に含まれる固定電荷(Q<sub>fix</sub>)と、絶縁膜同士の界面に生じる界面ダイポール(δ<sub>dipole</sub>)が V<sub>fb</sub> を左右する。本研究では V<sub>fb</sub>, V<sub>T</sub> 制御を見据えて、SiO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>/3C-SiC ゲートスタック中に含まれる Q<sub>fix</sub> と δ<sub>dipole</sub> を調査した。

2. 実験 積層構造のゲート絶縁膜を有する MOS キャパシタの V<sub>fb</sub> は Fig. 1 中の式(1)で表される。種々の EOT<sub>1</sub> および EOT<sub>2</sub> を有する MOS キャパシタを作製して、描いた V<sub>fb</sub>-EOT<sub>1</sub> および V<sub>fb</sub>-EOT<sub>2</sub> プロットから Q<sub>fix1</sub>, Q<sub>fix2</sub>, δ<sub>dipole</sub> を算出した。試料は n-Si(111) 上に 3C-SiC(111)(N<sub>b</sub>~10<sup>16</sup>cm<sup>-3</sup>)をエピタキシャル成長した基板を化学洗浄後、300°C で ALD-Al<sub>2</sub>O<sub>3</sub> を、次いで SiO<sub>2</sub> を ECR スパッタリングで堆積し、N<sub>2</sub> 中で 500°C の PDA を施したのち、ゲート電極およびバックコンタクトとして Al を真空蒸着・パターンニングして作製した[1,2]。

$$V_{fb} = \Phi_M - \Phi_S + \delta_{dipole} - \frac{Q_{fix2}}{\epsilon_0 \epsilon_{SiO_2}} (EOT_1 + EOT_2) - \frac{Q_{fix1}}{\epsilon_0 \epsilon_{SiO_2}} EOT_1 \quad \dots(1)$$

Φ<sub>M</sub>, Φ<sub>S</sub>: workfunction of the gate electrode and the semiconductor  
A<sub>dipole</sub>: total dipole in the gate stack  
Q<sub>fix1</sub>, EOT<sub>1</sub>: fixed charge and EOT of the top gate dielectric  
Q<sub>fix2</sub>, EOT<sub>2</sub>: fixed charge and EOT of the bottom gate dielectric  
ε<sub>SiO<sub>2</sub></sub>: SiO<sub>2</sub> dielectric constant  
(EOT: equivalent oxide thickness)

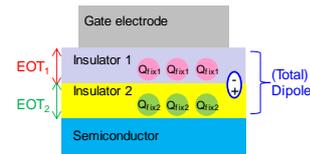


Fig. 1 Sample cross-section and V<sub>FB</sub> equation.

3. 結果・考察 Figure 2(a), 2(b)に SiO<sub>2</sub> 膜厚(EOT<sub>1</sub>)を固定(5.2 nm)し、Al<sub>2</sub>O<sub>3</sub> 膜厚を変化させた際の 3C-SiC MOS キャパシタの C-V 特性および V<sub>fb</sub>-EOT<sub>2</sub> プロットを示す。V<sub>fb</sub>-EOT<sub>2</sub> の傾きから、Al<sub>2</sub>O<sub>3</sub> には-2.77×10<sup>11</sup>cm<sup>-2</sup>の固定電荷が含まれることが分かった。同様に、Fig. 2(c), 2(d)に示した Al<sub>2</sub>O<sub>3</sub> 膜厚(EOT<sub>2</sub>)を固定(3.0 nm)した際の結果から、SiO<sub>2</sub> には-5.96×10<sup>11</sup> cm<sup>-2</sup>の固定電荷が含まれており、これらの結果および Al・SiC の仕事関数(それぞれ 4.08, 4.21 eV)を用いて算出された δ<sub>dipole</sub> は、-0.99 eV であった。全体の結果を Fig. 3 に模式的に示す。この δ<sub>dipole</sub> の値は MOS の界面ダイポールとしては比較的強い値であり、本ゲートスタックをデバイスに应用する際、この点を十分に考慮した材料・プロセスを設計する必要がある。

参考文献 [1] 山本他, 2019 年秋応用物理学会講演予稿集. [2] K. Yamamoto *et al.*, SSDM2018, p. 871.

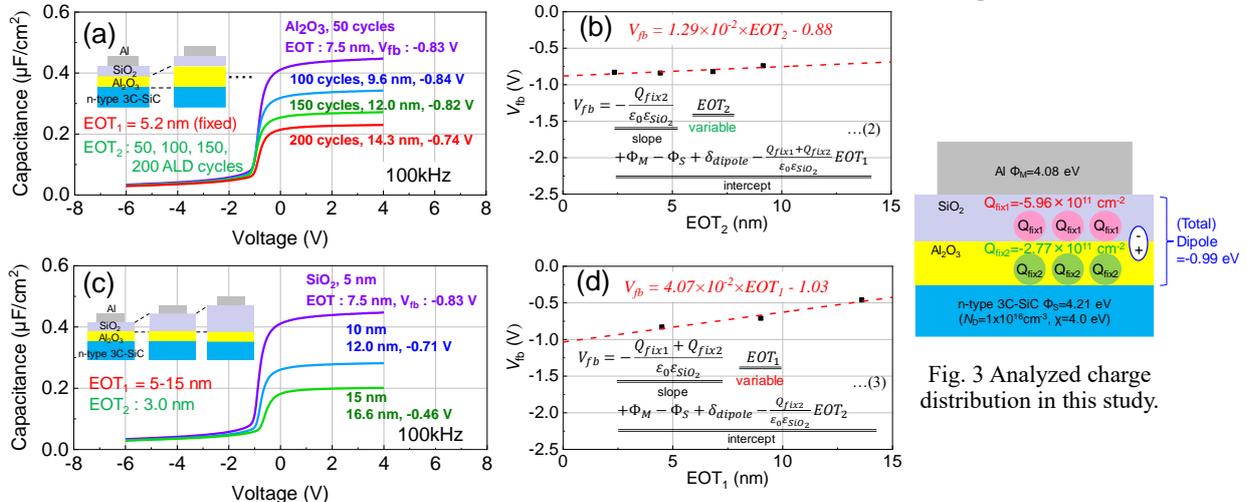


Fig. 3 Analyzed charge distribution in this study.

Fig. 2 (a) C-V characteristics and (b) V<sub>fb</sub>-EOT<sub>2</sub> plot for various Al<sub>2</sub>O<sub>3</sub> thickness, and (c) C-V characteristics and (d) V<sub>fb</sub>-EOT<sub>1</sub> plot for various SiO<sub>2</sub> thickness.