

200 nm の絶縁膜 Al₂O₃ を有する 2DHG ダイヤモンド MOSFETs の 高周波出力特性 @ V_{DS} = -70 V

RF Power Performance when biased at V_{DS} of -70 V
for 2DHG Diamond MOSFETs with 200-nm Insulator Al₂O₃;

早大理工¹, 早大材研² °(B)鈴木 優紀子¹, 久楽 顕¹, 今西 祥一郎¹, 堀川 清貴¹,
平岩 篤¹, 川原田 洋^{1,2}

Waseda Univ.¹, Kagami Memorial Research Institute for Materials Science and Technology.²

°(B)Yukiko Suzuki¹, Ken Kudara¹, Shoichiro Imanishi¹, Kiyotaka Horikawa¹, Atsushi Hiraiwa¹,
Hirosi Kawarada^{1,2}

E-mail: yuki1129-ast@moegi.waseda.jp

ダイヤモンドは優れた物性値を有することから、高周波・高出力デバイスへの応用が期待できる。実際に、動作電圧約-20 Vにおいて高周波出力電力密度 $P_{out} \sim 2.1$ W/mm^{1,2}が報告されているが、高い絶縁破壊電界を有するダイヤモンドは動作電圧を高くすることで電圧スイング幅が広がり、更なる高出力化が見込める。従来のダイヤモンド FETs は自己整合ゲートプロセスで作製されており、絶縁膜が薄く保護膜が無かったため低耐圧(~20 V)であった。我々は高温 ALD 法によって高品質な Al₂O₃³をゲート絶縁膜・保護膜として堆積させたダイヤモンド MOSFETs で 1500 V を超える高耐圧特性を報告してきた⁴。我々はこのプロセスを高周波デバイスに適用させ、ゲート絶縁膜 Al₂O₃ 膜厚 100 nm、ゲート長 $L_G = 0.5$ μ m の MOSFETs にてダイヤモンド FETs で最高となる出力電力密度 $P_{out} = 3.8$ W/mm を達成した⁵が $V_{DS} = -50$ V が最大ドレインバイアス電圧であった本研究では更なる高耐圧化に向け、ゲート絶縁膜 Al₂O₃ を 100 nm から 200 nm へと厚膜化し、ゲート・ドレイン間 L_{GD} を 2.0 μ m から 4.5 μ m、ゲート長 $L_G = 0.5$ μ m から 1.0 μ m と増加した。PiA(110)高配向多結晶ダイヤモンド基板上に ALD-Al₂O₃ 200 nm をゲート絶縁膜としたダイヤモンド MOSFETs を作製した。ソース・ゲート間 $L_{SG} = 0.5$ μ m およびゲート長 $L_G = 1$ μ m で固定し、ゲート・ドレイン間 L_{GD} を 1.5-4.5 μ m の範囲で変化させた。Fig. 1 に $I_{DS}-V_{DS}$ 特性を示す。比較的最大ドレイン電流密度 $I_{DS,max} = -737$ mA/mm ($V_{GS} = -28$ V, $V_{DS} = -40$ V)、相互コンダクタンス $g_m = 13$ mS/mm ($V_{DS} = -40$ V, -9 V $\leq V_{GS} \leq 16$ V) が得られた。このとき、 $V_{GS} = -28$ V, $V_{DS} = -1$ V に外挿して求めたオン抵抗は $R_{on} = 25$ Ω mm となった。続いて、ロードプル測定装置にてインピーダンスマッチングを行い、連続波(CW)にて大信号特性を評価した。Fig. 2 に周波数 1 GHz、A 級動作における大信号特性における、各 L_{GD} における出力電力 P_{out} の V_{DS} 依存性を示す。 L_{GD} は大きいほど耐圧が取れるメリットがある一方、抵抗成分になるため、オン抵抗が高くなる。Fig. 2 から $V_{DS} = -20$ V では L_{GD} が大きくなるほど P_{out} が小さいことが分かり、 P_{out} がオン抵抗に強く依存することが分かる。また、 $V_{DS} = -20$ V ~ -40 V で P_{out} の向上が確認できる。 $V_{DS} = -50$ V で 2 W/mm 以上となり、 $V_{DS} = -60$ V で 2.5 W/mm に到達、 $L_{GD} = 4.5$ μ m において $V_{DS} = -70$ V も可能となった。この際 $P_{out} = 2.5$ W/mm、Gain の最大値 8.1 dB ($V_{GS} = 16$ V, $V_{DS} = -70$ V) が得られた(Fig. 3)。しかし、 $|V_{DS}| > 50$ V で P_{out} が飽和し、高電圧領域で負荷インピーダンスの最適化が、より高い P_{out} には必要である。

[謝辞]本研究は、科研費基盤研究(s)(No.26220903)の助成により実施され、学際・国際的高度人材育成ライフイノベーションマテリアル双製共同研究プロジェクト(文科省)の支援を得た。

[1] M. Kasu, T. Makimoto et al: *Electron. Lett.* **41** (2005) 1249.

[2] K. Hiram, H. Kawarada et al: *IEDM* (2007) 873.

[3] A. Hiraiwa, H. Kawarada et al., *J. Appl. Phys.* **112** (2012) 124504

[4] H. Kawarada et al., *Sci.Rep.* **7** (2017) 42368.

[5] S. Imanishi, H. Kawarada et al: *IEEE Electron Device Lett.* (2018)

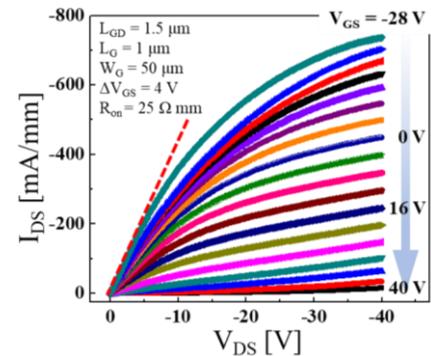


Fig.1 $I_{DS}-V_{DS}$ characteristics

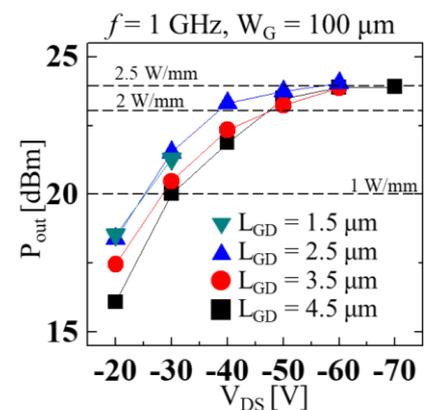


Fig.2 The output power density (P_{out}) during RF operation for $L_{GD} = 1.5-4.5$ μ m of 2DHG diamond MOSFETs as a function of V_{DS}

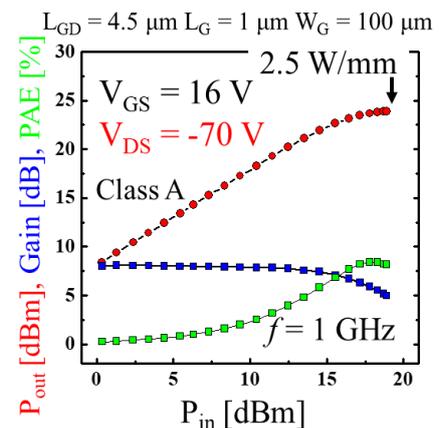


Fig.3 Large-signal performance at 1 GHz in Class-A operation