

単一磁束量子回路と超伝導ナノデバイスの集積化プロセスの検討

Study on integrated processes for SFQ circuits and superconducting nano-devices

名大工¹, 名城大工², JST さきがけ³

○近藤 真生¹, 佐野京佑¹, 田中 雅光¹, 山下 太郎^{1,3}, 井上 真澄², 藤巻 朗¹

Nagoya Univ.¹, Meijo.², JST-PRESTO³

○N. Kondo¹, K. Sano¹, M. Tanaka¹, T. Yamashita^{1,3}, M. Inoue², A. Fujimaki¹

E-mail : kondo@super.nuee.nagoya-u.ac.jp

研究背景

超伝導ランダムアクセスメモリには、アクセス速度が L/R 時定数により制限されてしまうという問題があり、大容量のメモリの高速化を実現するためには、高い駆動抵抗を有したドライバが必要である。マサチューセッツ工科大学のグループにより提案された、ナノクライオトロン (nTron) [1] と呼ばれる超伝導ナノデバイスは、超伝導-常伝導遷移を利用し高い出力インピーダンスを有しており、このデバイスをドライバとして用いることで上記の課題を解決することが可能である。

SFQ 回路と nTron の同一基板上での大規模集積化に向けては、超薄膜からなる nTron と多層構造で構成される SFQ 回路のモノリシックプロセスの確立が必要であり、特に nTron の素子特性の制御性や、nTron と SFQ 回路間の良好なコンタクトを歩留まりよく実現することが重要となる。

実験

今回我々は、まず Nb4 層プロセス (HSTP) [2] により nTron を駆動するための SFQ 回路を作製し、その後 HSTP チップ最上部の層間絶縁層 (SiO_2) 上に膜厚約 10 nm の NbTiN を用いて nTron を作製した。Fig. 1 に作製したチップ写真を示す。nTron 作製後には、SFQ 回路と接続する配線と確実なコンタクトを取るため、膜厚 200 nm の NbTiN を成膜しコンタクト部を形成した (Fig. 2)。以降のプロセスとして、今回は以下の 2 種類のプロセスを検討した。ひとつ目のプロセスでは、nTron のコンタクト部と SFQ 回路を接続するためのリフトオフパターンを形成し、 SiO_2 をスパッタリング法により成膜しリフトオフを行った。その後、接続配線として Nb を用いて nTron と SFQ 回路を接続した。このプロセスでは集積回路で実績のある SiO_2 を用いる一方で、 SiO_2 スパッタリングによる素子特性への影響や、リフトオフプロセスの歩留まりが懸念される。そこで、ふたつ目のプロセスとして、絶縁層として SiO を用い、蒸着法により成膜しリフトオフを行った。このプロセスでは集積化時の絶縁性等に懸念はある一方、nTron 及び SFQ 回路の配線層上に直接スパッタリングされないという利点があり、素子特性へ

のダメージが極力抑制されることが期待される。今回、この 2 つのプロセスによりチップを作製し nTron 及び SFQ 回路の特性評価や、SFQ パルスによる nTron の駆動実験を行い、集積化プロセスの確立に向けた知見を得たので報告する。

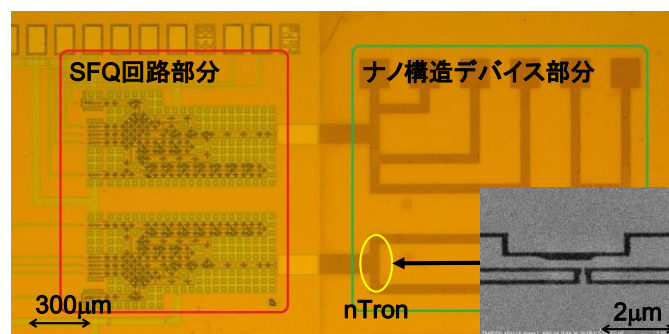


Fig.1 nTron fabricated on a HSTP substrate.

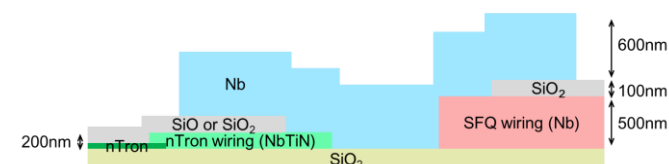


Fig.2 Cross-sectional view of each process.

謝辞

本研究は科研費 (JP19K15043, JP26220904, JP16H02340, JP16H02796, JP18H05211) によって支援されている。また、本研究に使用されたデバイスは、産業技術総合研究所 (AIST) の超伝導クリーンルーム CRAVITY において作製された。

参考文献

- [1] A. N. McCaughan and K. K. Berggren, Nano Lett. 14, 10, pp.5748-5753 (2014).
- [2] N. Takeuchi *et al.*, Supercond. Sci. Technol. 30, 035002 (2017).