

Nb 4 層超伝導集積回路上での磁性ジョセフソン接合の作製

Fabrication of magnetic Josephson junctions on Nb 4-layer superconducting integrated circuits

名大院工¹, JST さきがけ² ○(M1)長谷川 大輝¹, (M2)竹下雄登¹, 佐野 京佑¹, 田中 雅光¹,

山下 太郎^{1,2}, 藤巻 朗¹

Nagoya Univ¹, JST-PRESTO² ○Daiki Hasegawa¹, Yuto Takeshita¹, Kyosuke Sano¹, Masamitsu Tanaka¹,
Taro Yamashita^{1,2}, and Akira Fujimaki¹

E-mail: hasegawa@super.nuee.nagoya-u.ac.jp

単一磁束量子回路は高速動作性・低消費電力性を特徴に持つが、回路の大規模化に向け、さらなる低消費電力化が求められている。その課題解決のため、超伝導ループ内に 0 接合と π 接合を 1 つずつ含む 0- π SQUID を用いた半磁束量子回路[1]が検討されてきたが、スイッチ素子として用いる π 接合の臨界電流制御は現時点では困難である。そこで我々は、半磁束量子回路の実現に向けた新たなプロセスの検討を進めている。

我々は、集積回路の実績のある Nb 4 層プロセス (HSTP) [2]で作製したチップ上に π 接合を作製することとし、0- π SQUID の代わりに 2 つの 0 接合と 1 つの π 接合からなる「0-0- π SQUID」の作製プロセスを検討している。 π 接合は、Nb/PdNi/Nb 構造による磁性ジョセフソン接合 (SFS 接合) で作製する。0-0- π SQUID において、HSTP プロセスで作製する 2 つの 0 接合はスイッチ素子として用い、 π 接合は π 位相シフトとして用いる。この π 位相シフトには、0 接合に対して十分に大きな臨界電流値を持つことが求められるが、HSTP チップの表面状態や膜応力などの影響で π 接合の制御性が失われてしまうことが懸念される。また、追加のプロセスにより、0 接合の臨界電流値などの特性が変化しないことが求められる。

前回の報告[3]では、HSTP チップの上に SiO₂ の絶縁膜と Nb/PdNi/Nb の 3 層膜を堆積・加工し、Si 基板上に作製したものと同等の特性を示す磁性接合を得た。今回は、より簡略なプロセスで、膜応力の影響が小さいと期待できる新たなプロセスで接合作製を試みた。

前回のプロセスを Fig.1(a), (b)、今回のプロセスを(c)に示す (破線より下が HSTP プロセスによって作製した層を示す)。(a), (b)では最初に SiO₂ を成膜後、コンタクトホールを作製し、その後 3 層膜の成膜・エッチングを行い π 接合を作製する。これらのプロセスでは、チップ表面状態が接合特性に与える影響を評価するために、異なる場所に接合を作製した。(c)ではチップ表面をクリーニング後、最上部配線層にリフトオフで 3 層膜を成膜し、 π 接合を作製する。新プロセスでは

他と比べ手順が簡略化されることと、膜厚が薄く済むため膜応力の影響は小さいことが期待される一方、リフトオフ時に接合の端にできるバリの影響やチップ表面と接合下部電極とのコンタクトの形成が課題となる。

講演ではプロセスの詳細を述べ、磁性接合及び HSTP プロセスで作製された 0 接合のデバイス特性、0-0- π SQUID における π 位相シフトについて議論する。
謝辞 本研究は特別推進研究 (JP18H05211, JP10H00764) 及び科研費 (JP19H00764)、JST さきがけ (課題番号 JPMJPR1669) の支援を受けて実施したものである。

参考文献

- [1] T. Kamiya et al. IEICE Trans. Electron. E101-C 385, 2018.
- [2] N. Takeuchi et al. Supercond. Sci. Technol.30,035002, 2017.
- [3] 長谷川ほか, 応用物理学会, 2019 年 3 月.

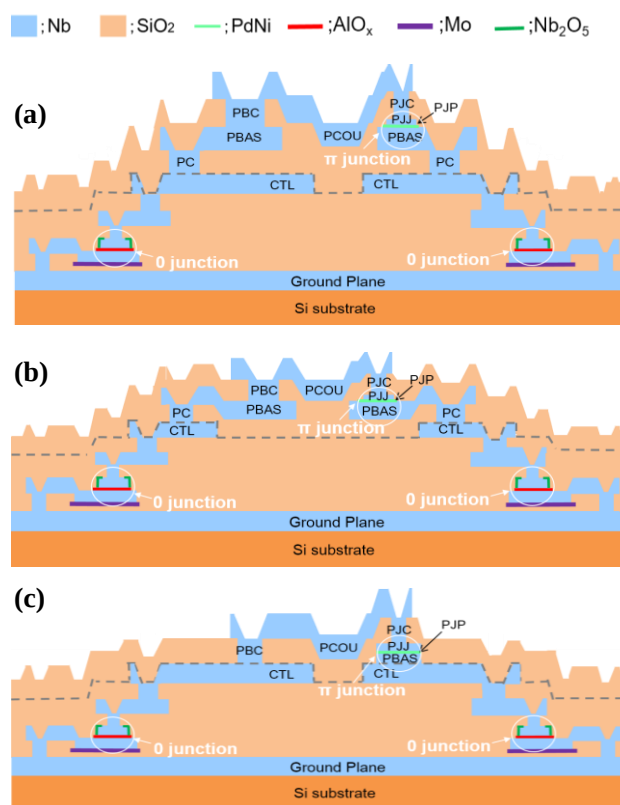


Fig. 1 Schematics of the cross-sectional views of three types of the hybrid fabrication process.