

# 強誘電体/半導体ヘテロ接合における界面ポテンシャル変化による 負性容量とその時間発展シミュレーション

Time-resolved Simulation of Negative Capacitance Caused by Change in Interface Potential  
at the Ferroelectric/Semiconductor Hetero-Junction

高田 賢志, 吉村 武, 藤村 紀文 (阪府大院工)

K. Takada, T. Yoshimura, N. Fujimura

(Graduate School of Eng., Osaka Pref. Univ.) E-mail: fujim@pe.osakafu-u.ac.jp

近年、強誘電体を MOSFET のゲート絶縁膜として用い、急峻なドレイン電流の立ち上がりを実現する、NCFET が注目されている。負性容量が提案された当初は、強誘電体と常誘電体を直列に接合することで、負性容量状態を安定化する、「静的負性容量」に関する数多くの報告がなされたが、シングルドメインを想定した計算例がほとんどであり、その実現は極めて困難であると考えられていたしかし、今年になって、直接的に静的負性容量を観測した実験結果<sup>1</sup>や、マルチドメインを形成する系において、理論計算によって疑似的静的負性容量が実現できる可能性が報告される等<sup>2</sup>、静的負性容量に関する研究は精力的に行われている。また、強誘電体が一方の分極状態から他方へと反転する過程において発現する負性容量である過渡的負性容量では理論・実験両面で多くの研究報告が成され、その物理的発現メカニズムが明らかにされている<sup>3</sup>。過渡的負性容量は、抵抗または常誘電体を強誘電体キャパシタに接合させた回路において、強誘電体の分極反転速度に対し、回路から供給される分極補償電荷の供給が遅れることにより減分極電界が発生することで、過渡的に負の容量が発現するというものである。NCFET を試作し、実験的に急峻な立ち上がりが得られたという報告例においてはこの過渡的負性容量によるものであるとの見方が強まっている。我々は、強誘電体/半導体ヘテロ接合においては、これらとは異なるモデルで生じる負性容量が重要で本質的であると考えている<sup>4</sup>。Fig. 1 に、金属/強誘電体/半導体構造における分極-電圧特性のシミュレーション結果を示す。分極反転モデルとして時間発展を考慮した L-K 方程式を用い、分極反転過程における半導体と強誘電体の外場に対するキャパシタンスの非線形な応答を考慮に入れ、シミュレーションを行った。過渡的負性容量との差別化のため、強誘電体の分極は完全に補償されるものとしている。Fig. 1 より、負バイアス印可時における安定状態(a)から、電圧を増加させ、正バイアスを印可すると、分極反転前(b)においては①強誘電体の残留分極に起因した半導体からの減分極電界が生じ、その減分極電界が  $P=0$  に近づくにつれ、減少することで負性容量が発現する。分極反転後(c)においては②空乏層の形成により、半導体のキャパシタンスが変化することでゲート電圧の強誘電体薄膜と半導体への分配率の変化し、それにより負性容量が発現する。強誘電体/半導体ヘテロ接合においてはこのような界面ポテンシャル変化は起こり得る現象であるため、界面ポテンシャル変化によって生じる負性容量が本質的であると考えられる。

## [References]

- [1] A. K. Yadav et al., *Nature* vol. 565, p. 468 (2019).  
 [2] H. W. Park et al., *Adv. Mater.* 1805266 (2019).  
 [3] A. K. Saha et al., *J. Appl. Phys.* 123, 105102 (2018).  
 [4] K. Takada et al., *AIP Advances* 9, 025037 (2019).

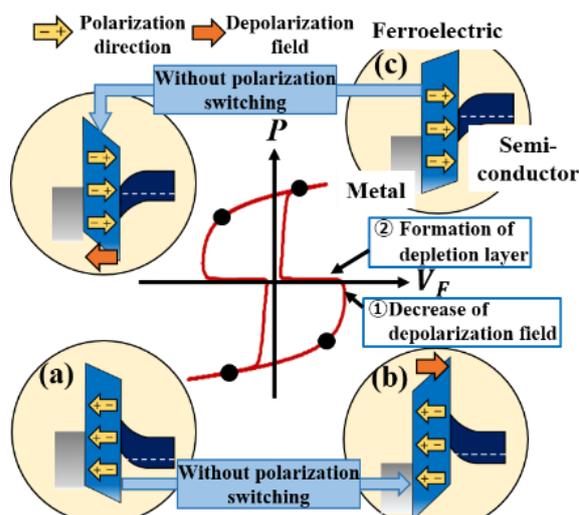


Fig. 1 Calculated hysteresis loop and band diagrams