n 型 GaN の ICP-RIE におけるバイアスパワー制御による プラズマダメージの低減

Reduction of plasma-induced damage in ICP-RIE of n-type GaN by controlling bias power

名大 未来材料・システム研究所[1]，名大院工[2]，(株)アルバック 半電研[3]
○山田 真嗣[1,2,3]，櫻井 秀樹[1,2,3]，長田 大和[3]，中村 敏幸[3]，上村 隆一郎[3]，須田 淳[1,2]，加地 徹[1]
Nagoya Univ. IMaSS[1], Nagoya Univ.[2], ULVAC ISET[3]
○S. Yamada[1,2,3], H. Sakurai[1,2,3], Y. Osada[3], T. Nakamura[3], R. Kamimura[3], J. Suda[1,2], T. Kachi[1]
E-mail: yamada@imass.nagoya-u.ac.jp

【はじめに】GaN 系トレンチゲート縦型パワー半導体デバイスを実現する上で、誘導結合型プラズマ反応性イオンエッチング(ICP-RIE)を用いた低ダメージかつ高レートなトレンチ加工ドライエッチング技術を確立することは必要不可欠である。プラズマダメージとは、イオン衝撃や真空紫外光などによる GaN 表面近傍への欠陥形成を指し、これはデバイス特性劣化や動作不良の原因となる。我々は、低ダメージと高レートの両立を目指して、バイアスパワー(P_{bias})制御によるドライエッチング技術を開発し、その効果を n 型 GaN のショットキー特性から詳細に検証した。

【実験】試料は、n^+型 GaN 自立基板上に MOVPE 法により n 型 GaN([Si] = 5×10^{16} cm^{-3})を 2 ないし 3 μm エピタキシャル成長したものを用いた。塩素系反応ガスにより、P_{bias} = 2.5～60 W と変化させて c 面 GaN 層上を深さ 200 nm で全面エッチングしたもの(ICP アンテナパワーは 200 W で固定)と、m 面あるいは a 面 GaN 側壁を露出させるために P_{bias} = 30 W にて深さ 2 μm でパターニングエッチングしたものを準備した。また、P_{bias} 条件には、P_{bias}=60, 5, 2.5 W と段階的に下げる多段バイアスエッチング技術を行い、その後に窒素雰囲気下で 400 ℃アニール処理を行ったものも準備した。エッチング後、その表面及び側壁に Ni ショットキー電極を形成し、基板裏面に Ti/Al 系オーミック電極を形成したショットキーバリアダイオード(SBD)を作製した(Fig. 1)。側壁 SBD に関しては、側壁以外からの導通を防ぐために、絶縁膜として SiO_2 膜を堆積した。作製した各 SBD の順方向 *I-V* 特性から GaN 障壁高さ(Φ_B)を算出した。

【結果と考察】Fig. 2 に、P_{bias} と Φ_B の関係を示す。P_{bias} の低減に従って Φ_B が増加し、特に多段バイアスエッチングとアニール処理により、c 面では Φ_B= 0.95 eV となりエッチング未処理の SBD と同等、m 面では Φ_B= 0.74 eV となり劈開 m 面 SBD[1]と同等にまで特性が回復することを確認した。これは、高 P_{bias} エッチング時に導入されたダメージ層が低 P_{bias} エッチング及びアニール処理により除去されたことを示している。P_{bias} に関しては、連続的に下げるスロープダウンバイアスも実施可能であり、講演ではそのシーケンスにおける GaN の諸特性への効果についても議論する。

【謝辞】本研究は文部科学省「省エネルギー社会の実現に資する次世代半導体研究開発」の委託を受けたものです。また、議論をさせて頂きました大分大学の大森雅登准教授、豊田中央研究所の成田哲生氏に感謝申し上げます。

[1] H. Imadate et al., Jpn. J. Appl. Phys. **57**, 04FG13 (2018)

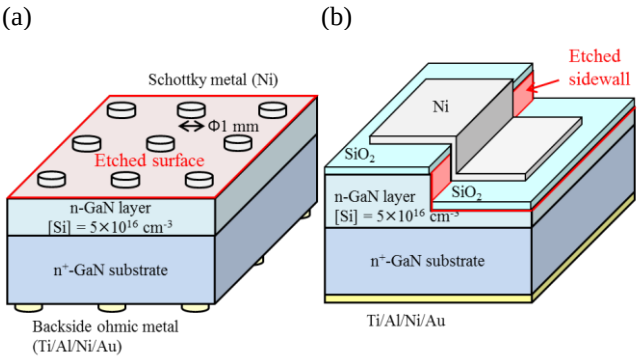

Fig. 1: Schematics of Ni/n-GaN SBDs formed on (a) etched surface and (b) etched sidewall.

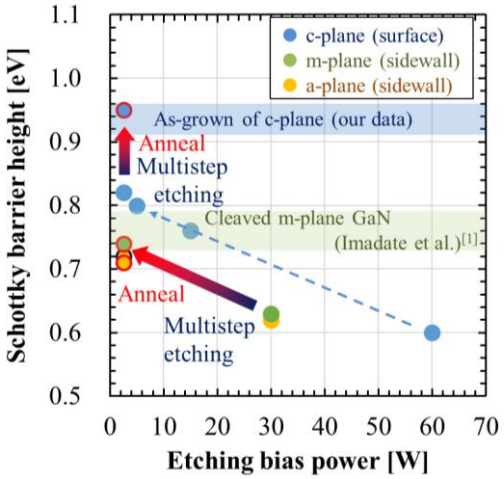

Fig. 2: Schottky barrier height vs. etching bias power.

© 2019年 応用物理学会