

FeFET を用いた時間領域アナログ積和演算回路の性能評価

Performance evaluation of a time-domain analog

weighted-sum calculation circuit using FeFETs

九工大・生命体工¹, 産総研² ○原田將敬¹, 森江隆¹, 高橋光恵², 酒井滋樹²

Kyushu Inst. Tech.¹, AIST.², ○M. Harada¹, T. Morie¹, M. Takahashi², S. Sakai²

E-mail: morie@brain.kyutech.ac.jp

[背景・目的] 超高効率 AI プロセッサ/脳型 LSI の実現に向けて, 超低消費エネルギーで積和演算を実行する時間領域アナログ積和演算回路方式が提案されている[1]. この方式では, ① $1\text{G}\Omega$ 以上の高抵抗値を不揮発的に保持・制御でき, ② 逆流防止機能を有するアナログメモリ素子が必要である. また, 1,000 入力程度の超多入力演算の時間領域での精度を確保するために③ 3 桁以上の ON/OFF 比があることが望ましい. そこで, 我々は, FET のサブスレッショルド動作により大きな ON/OFF 比を実現できる強誘電体ゲート電界効果トランジスタ(FeFET)[2]を用いて, すでに上記①～③の条件を実現できることを報告している[3]. 今回, FeFET を用いた小規模回路により積和演算性能を評価した結果を報告する.

[回路構成] FET のゲート絶縁膜として HfO_2 6 nm, その上部に強誘電体(Ca, Sr)BiTaO₉ (CSBT) 400 nm, 電極として Pt を 200 nm 積層した Pt/CSBT/HfO/Si 構成の FeFET を作製し, これを組み合わせる 2 入力 1 出力積和演算回路を構成した (図 1). メモリ回路部は誤書き込防止のために各入力当たり 2 個の FeFET で構成した. 後段にはインバータ回路を配置し, 過渡応答特性から積和演算性能 (精度) を評価した. すなわち, 複数電圧入力により各 FeFET の ON 抵抗を通してドレインノード寄生容量 C を充電する過渡応答時間から積和演算の性能を評価した

[実験条件・結果] 入力部に図 2 に示した電圧 $V_{A1}^{(w)}$, $V_{A2}^{(w)}$ を与えて FeFET 書き込み (荷重セット) を行い, 積和演算動作として V_{A1} , V_{A2} に同時にステップ電圧を印加して, インバータ出力端子の過渡応答特性 (インバータしきい値に達した時間 T_{out}) を測定した. さらに, 入力的一方のみにステップ電圧を印加した結果から推定した積和演算結果 (同上時間 T_{est}) を求め, 両者を比較した (図 2). 両者の誤差は最悪時で 2.1% であり, 5.7 ビット相当以上の演算が行えることがわかった. また, V_{A2} 入力のパルスタイミング (積和演算の入力値に相当) を変化させたときの, 過渡応答特性の変化を測定した (図 3). このときの精度についても発表時に詳しく議論する.

[謝辞] この成果は国立研究開発法人新エネルギー・産業技術総合開発機構 (NEDO) の委託業務 (プロジェクト名: 高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発プロジェクト/②次世代コンピューティング技術の開発【未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明】) の結果得られたものです.

[1] M.Yamaguchi *et al.*, <https://arxiv.org/abs/1902.07707> (2019)

[2] M. Takahashi and S. Sakai, JJAP, 44 (2005), L800.

[3] 原田他, 第 66 回応用物理学会春季学術講演会, 11p-W810-12, p.18-011 (2019).

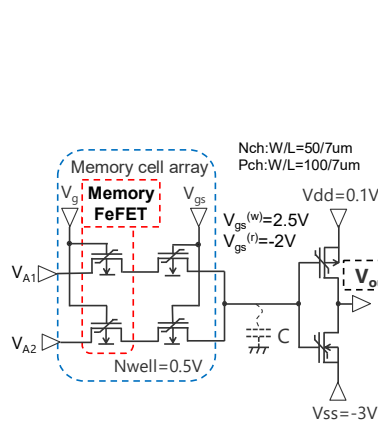


Fig. 1: Two-inputs, one-output weighted-sum calculation circuit.

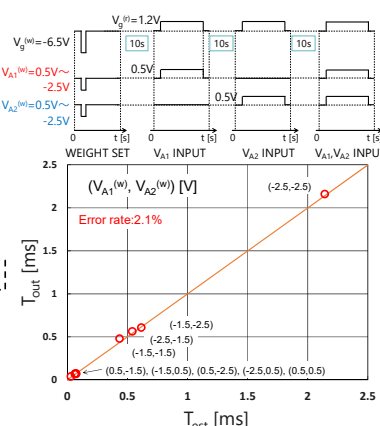


Fig. 2: Measurement results for weighted-sum operation.

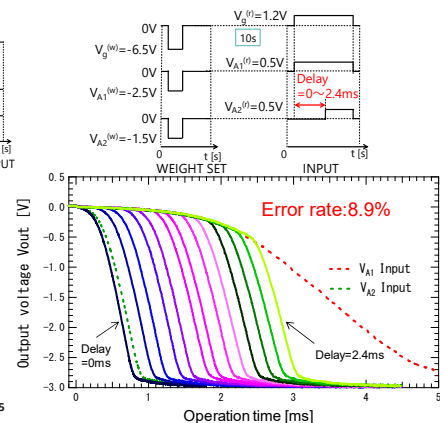


Fig. 3: Input pulse timing dependency in weighted-sum operation.