

原子層薄膜 CaF_2/Si ヘテロ構造を用いた
ホール駆動共鳴トンネルダイオードの室温微分負性抵抗特性

Room temperature negative differential resistance of
p-type resonant tunneling diodes using atomically thin CaF_2/Si heterostructures

東工大工学院 ○三上萌, 熊谷佳郎, 廣瀬皓大, 利根川啓希 富澤勘太, 金子拓海, 佐藤穂波 渡辺正裕

Tokyo Institute of Technology, Kizashi Mikami, Satoshi Fukuyama, and Masahiro Watanabe

E-mail : mikami.k.af@m.titech.ac.jp

【はじめに】

シリコン(Si) / 弗化カルシウム(CaF_2)ヘテロ構造は、界面における伝導帯バンド不連続が1~2 eV、結晶構造が類似で格子定数が近いことからSi基板上に原子層レベルの積層エピタキシャル成長可能であり、室温において大きな peak-to-valley 電流比(PVCR)を有する共鳴トンネルダイオード(RTD)の構成材料として有望である。今回、単一障壁トンネルダイオードの電流電圧特性から見積もった価電子帯バンド不連続量を適用してp型駆動Si/ CaF_2 二重障壁構造RTDを設計、作製したところ、その電流電圧特性から抽出したピーク電流密度(J_{peak})及びPVCR値の測定値において、ばらつきは大きいものの、その分布状況から、1原子層(0.31 nm)の精度で層厚構造が特定可能であることを示唆する結果を得たので報告する。

【実験方法】

p-type基板からRTD構造にホールを注入する構造を採用した。p-Si(111)基板 (0.1°off , $\rho < 4\text{m}\Omega\text{cm}$)をSPM洗浄後、Wet酸化炉で熱酸化を行い SiO_2 を30nm形成する。その後、直径 ϕ の窓($\phi = 2\mu\text{m}, 500\text{nm}, 100\text{nm}$)をBHF(22%)によるウェットエッチングで形成した後、保護酸化膜を形成し、分子線エピタキシー装置に搬入する、その後、保護酸化膜を除去し結晶成長 CaF_2 (0.62nm)/Si(1.55 nm)/ CaF_2 (0.62nm)/Si(4.96nm)を行って二重障壁RTD構造を形成する。最後にCr/Au電極をリフトオフにより形成し完成となる。電流電圧測定には半導体パラメータアナライザKeysight-4155Cを用いた。

【結果と考察】

作製した素子の室温におけるI-V特性例をFig.1に示す。印加電圧は下部p型基板側の電極電位を正にとった。印加電圧0.85 V付近に明瞭な微分負性抵抗特性が観測され、ピーク電流密度 (J_{peak}) は 457 kA/cm^2 、PVCRは36.3であった。また、Esaki-Tsuモデルによる障壁層及び井戸層を変化させた際の電流電圧特性の理論解析との比較結果をFig.2に示す。

黒点で示した測定値は、ばらつきは大きいものの、2つの CaF_2 障壁層を1原子層と仮定したときの J_{peak} 値及びPVCR値の付近に分布する結果を得た。共鳴トンネル電流は膜厚にきわめて敏感であるため、障壁層1原子層の差を電流電圧特性から統計的に分離可能であることが示唆される。今回の結果より、今後の高速スイッチング素子、メモリやサブバンドデバイスへの応用へむけて、原子層レベルでの構造制御の重要性とともに、その技術的な実現可能性が示唆されたものと考えられる。

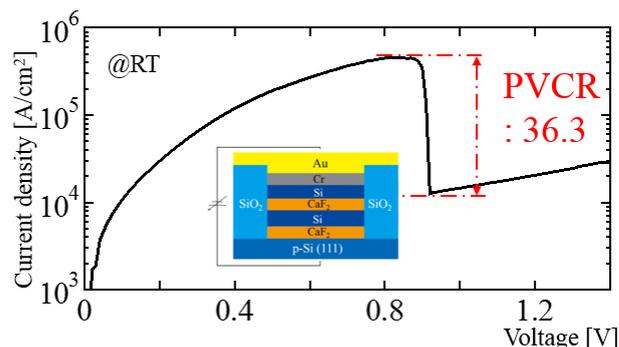


Fig.1 ホール駆動RTDの室温微分負性抵抗特性

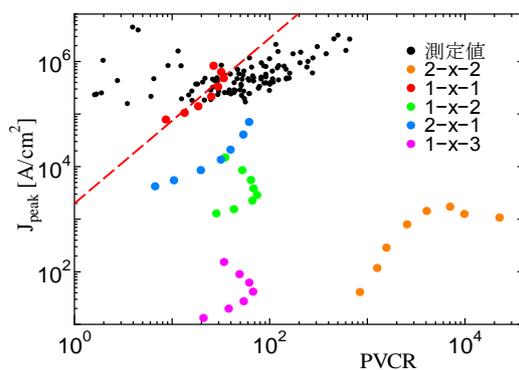


Fig.2 J_{peak} 対 PVCR の測定値と理論値との比較。基板から電極側に CaF_2 -Si- CaF_2 膜厚[ML], $x=3$ -10ML。