

低電圧動作 FRAM における低リーク電流 積層 PbLa(Zr, Ti)O₃ キャパシタの開発

Development of a ferroelectric capacitor with double-layered PbLa(Zr,Ti)O₃ thin films aiming to lowering operation voltage and leakage current of FRAM

富士通セミコンダクター¹, 富士通研², 和歌山大³, ○王 文生¹, 中村 亘¹, 高井 一章¹, 野村 健二², 恵下 隆^{1,3}, 中林 正明¹, 小澤 聡一郎¹, 山口 秀史², 三原 智¹, 彦坂 幸信¹, 齋藤 仁¹, 片岡 祐治², 児島 学¹
Fujitsu Semiconductor Ltd.¹, Fujitsu Lab.², Wakayama Univ.³, ○Wensheng Wang¹, Ko Nakamura¹, Kazuaki Takai¹, Kenji Nomura², Takashi Eshita^{1,3}, Masaaki Nakabayashi¹, Soichiro Ozawa¹, Hideshi Yamaguchi², Satoru Mihara¹, Yukinobu Hikosaka¹, Hitoshi Saito¹, Yuji Kataoka² and Manabu Kojima¹

E-mail: wangws@jp.fujitsu.com

近年注目されている IoT (Internet of Things) 市場では、低電圧動作、低消費電力な不揮発性メモリ製品を要求されている。今回我々は、低電圧動作、低リーク電流を持つ優れた PbLa(Zr, Ti)O₃ (PLZT) の成膜プロセスを開発した。強誘電体キャパシタを低電圧動作させるためには、PLZT を薄膜化する必要がある。しかし、PLZT 膜を薄膜化しただけでは、電極と強誘電体膜の界面層の影響で、キャパシタの飽和分極量が小さくなる。さらに、PLZT 膜にかかる電界が大きくなるので、リーク電流が増大してしまう。今回は、0.18 μm CMOS 製造プロセスを用いて、積層強誘電体キャパシタを形成した。キャパシタの電極、積層強誘電体膜及びバッファ層の成膜にはスパッタリング法を用いた。バッファ層の上に、{111}配向した Pt 下部電極膜を形成し、その上に第一アモルファス PLZT を成膜した。次に、この PLZT 層を熱処理により結晶化し、第一 PLZT より薄い第二アモルファス PLZT を成膜した。さらに、その上に IrO_x 上部電極を形成し、熱処理により第二アモルファス PLZT を結晶化した。従来の強誘電体膜厚 150nm の単層 PLZT 膜(◆)、それを薄膜化した 120nm 単層 PLZT (◇)、および新たなプロセスにより形成した積層 PLZT (●) を用いて作製したキャパシタの分極特性・印加電圧依存性及び電流・電圧特性を図 1、2 にそれぞれ示す。従来の単層 PLZT (◆) を薄膜化したキャパシタ (◇) は印加電圧に対して分極特性の立ち上がりは良くなるが、飽和分極量が低くなり、リーク電流が一桁上昇する。それに対して、新たなプロセスで形成した薄膜化積層 PLZT キャパシタ (●) は分極特性の立ち上がりは良好なまま、従来と同等以上の飽和分極量が得られ、リーク電流を一桁以上低減できた。これは、積層強誘電体キャパシタ上部電極の形成条件及び熱処理方法を工夫することによって、上部電極と強誘電体膜の界面を制御した結果である。

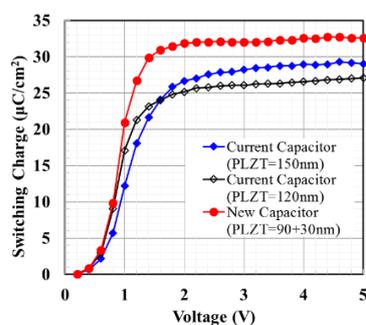


Fig. 1. Switching charge as a function of applied voltage for new and current IrO_x/PLZT/Pt capacitor.

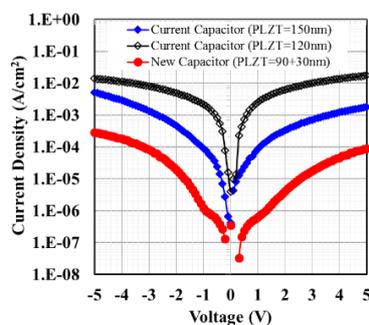


Fig. 2. Current density as a function of applied voltage new and current IrO_x/PLZT/Pt capacitor.

References : [1] W. Wang et al., *Jpn. J. Appl. Phys.*, 56, 10PF14 (2017). [2] W. Wang et al., *Jpn. J. Appl. Phys.*, 58, 016503 (2019).