

静電スプレー堆積法による親撥処理した基板上への低分子/ポリマーブレンドの成膜

Electrostatic spray deposition of small-molecule/polymer blends on hydrophilic/hydrophobic patterned substrates

○須貝 拓弥¹、小澤 巧実¹、小幡 俊輔¹、秋山 直輝¹、森 悠記¹、小野島 紀夫¹ (1 山梨大)

○Takuya Sugai¹, Takumi Ozawa¹, Syunsuke Obata¹, Naoki Akiyama¹, Yuki Mori¹, and Norio Onojima¹
(1 Univ. of Yamanashi)

E-mail: g18te006@yamanashi.ac.jp

【はじめに】我々は、大面積成膜が可能で材料利用効率が高いという利点を持つ静電スプレー堆積 (Electrostatic Spray Deposition: ESD) 法により TIPS pentacene/PS ブレンド膜を堆積し、高結晶性の連続膜を形成することに成功している[1]。また、垂直方向相分離により形成された TIPS pentacene/PS 界面を利用することで優れたトランジスタ動作を確認している。しかし、分子配向がランダムであるため、デバイス特性のばらつきが大きいことが問題としてあげられる。分子配向を制御することは、OFET を用いた集積回路の性能に大きく影響するため非常に重要である。そこで本研究では、親撥処理を行った基板上に ESD 法を用いて TIPS pentacene/PS ブレンド膜を堆積させ、TIPS pentacene 結晶の分子配向制御を試みた。

【実験】有機洗浄、UV/O₃ 処理を行った Si 基板上にスピコート法を用いて撥水性物質である CYTOP を成膜した後、シャドウマスクを用いた真空蒸着法により親水性である Al ストライプ電極を部分的に蒸着して基板を作製した。親撥処理した基板上に TIPS pentacene/PS ブレンド膜を ESD 法により堆積した。ESD プロセスに用いたブレンド溶液は TIPS pentacene(0.1 wt%) と PS(0.1 wt%) を *o*-DCB とアセトンの混合溶媒(15:85 v/v)に溶解して作製した。分子配向を評価するために、一部の試料には熱処理を行い、TIPS pentacene 結晶に発生したクラックの観察を行った。また、ブレンド膜上に真空蒸着法によってソース・ドレイン電極(Au)を形成し、トップコンタクト型 OFET を作製した。

【結果】TIPS pentacene/PS ブレンド膜を偏光顕微鏡により観察した結果を Fig. 1 に示す。TIPS pentacene 結晶の分子配向が Al ストライプ電極 (親水性領域) で長辺方向に優先的に配向していることがわかる。また、熱処理により TIPS pentacene 結晶に発生したクラックを観察した結果を Fig. 2 に示す。この結果から、熱処理によって発生したクラックは Al ストライプ電極の長辺方向に対してほぼ垂直であることがわかる。他の Al ストライプ電極でも同様の角度のクラックを確認した。したがって、Al ストライプ電極上に堆積した TIPS pentacene の分子配向はほぼそろっていると考えられる。発表では、親撥処理をした基板上に作製した TIPS pentacene/PS ブレンド OFET のデバイス特性についても議論する。

[1] 小澤ら, 第 65 回応用物理学会春季学術講演会, 20a-P7-21 (2018).



Fig. 1 親撥処理した基板上に堆積した TIPS pentacene/PS ブレンド膜の偏光顕微鏡画像

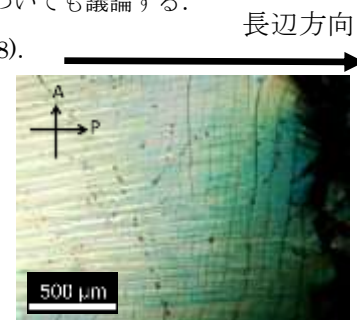


Fig. 2 熱処理により TIPS pentacene 結晶に発生したクラックの観察結果