

固相成長した高移動度 Ge 薄膜の TFT 動作実証

TFT operation of solid-phase crystallized Ge thin film with high hole mobility

筑波大院 数理物質¹, 九大院 総合理工², 九大 GIC³

°今城利文¹, 茂藤健太¹, 山本圭介², 末益崇¹, 中島寛³, 都甲薫¹

Univ. of Tsukuba¹, IGSES, Kyushu Univ.², GIC, Kyushu Univ.³

°T. Imajo, K. Moto, K. Yamamoto, T. Suemasu, H. Nakashima, and K. Toko

E-mail: bk201310967@s.bk.tsukuba.ac.jp

【はじめに】 高速薄膜トランジスタ(TFT)の実現を目指し、絶縁基板上に Ge 薄膜を形成する研究が活発化している。我々は、固相成長の前駆体となる非晶質 Ge の密度制御により Ge 薄膜の大粒径化を促し、低温合成膜の最高移動度を更新し続けてきた[1,2]。今回、高移動度 Ge 薄膜を用いて TFT を試作した。

【実験方法】 石英ガラス基板上に、基板加熱 (T_d : 50-175 °C)を行いながら非晶質 Ge 膜(100 nm)を分子線堆積した。その後、N₂中で熱処理(450 °C、5 h)することで固相成長を誘起し、結晶粒径をEBSD 法で評価した。これらの試料について、CMP 法で薄膜化を行いながら、Hall 効果測定(van der Pauw)により、電気的特性の深さ方向依存性を評価した。正孔密度より最大空乏層幅を算出した上、十分に薄膜化した試料を用いて、蓄積型 TFT(チャネル幅/長 = 55 μ m / 10 μ m)を作製した。

【結果・考察】 Fig. 1(a)-(c)より、前駆体である非晶質 Ge の堆積温度(T_d)により固相成長 Ge の結晶粒径が顕著に変化することが判る。これは、固相成長 Ge の結晶粒径が加熱堆積による前駆体の高密度化と堆積時の核発生のバランスで決定されることを示唆している[1]。Fig. 1(d)より、 $T_d = 50$ °C の試料では、Ge/ガラス基板界面付近で正孔密度が増加した。これは、大粒径 GeSn の既報と一致する[3]。一方、 $T_d = 125$ °C の試料では正孔密度が深さ方向に一樣に分布した。加熱堆積による界面欠陥の減少が示唆される。 $T_d = 125$ °C の試料を 60 nm に薄膜化し、Fig. 2(a),(b)に示す構造の TFT を作製した。Fig. 2(c)のドレイン電流-ドレイン電圧(I_D - V_D)特性より、典型的なトランジスタ動作が確認された。Fig. 2(d)のドレイン電流-ゲート電圧(I_D - V_G)特性から、on/off 比は約 3 桁、電界効果移動度は 170 cm²/Vs と判明した。チャネル領域を微細化しない簡易な poly-Ge TFT としては最高レベルの性能である。当日は、Ge 膜の電気的特性と TFT 特性の相関について包括的に議論する。

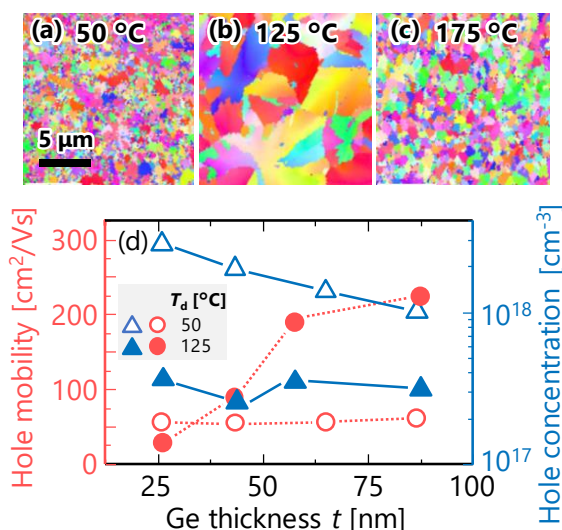


Fig. 1 (a)-(c) EBSD images of 100-nm-thick Ge layers with various T_d . (d) In-depth profile of electrical properties for $T_d = 50$ °C and 125 °C.

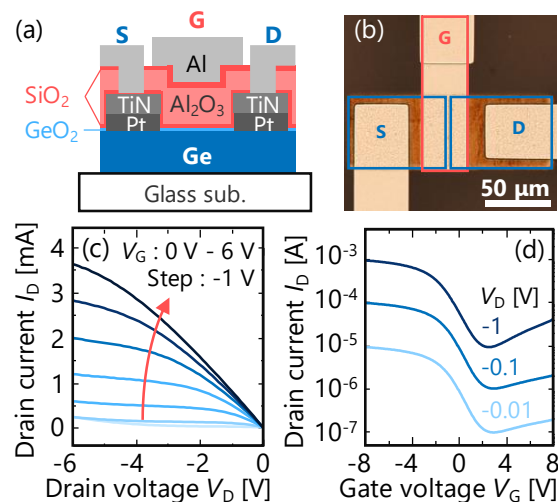


Fig. 2 (a) Schematic, (b) photograph, and (c) I_D - V_D and (d) I_D - V_G characteristics of the poly-Ge TFT for $t = 60$ nm and $T_d = 125$ °C.

[1] K. Toko *et al.*, Sci. Rep. 7, 16981 (2017).

[2] T. Imajo *et al.*, APEX 12, 015508 (2019).

[3] T. Sadoh *et al.*, APL 109, 232106 (2016).