

# 圧電高分子膜(P(VDF-TrFE))一体型 ZnO-FET の熱処理前後の評価

## Electrical characteristic of ZnO-FET with piezoelectric polymer film P(VDF-TrFE) for gate insulator evaluated before and after heat treatment of P(VDF-TrFE) film

東理大院理工<sup>1</sup>, 岡山琢哉<sup>1</sup>, 松本周作<sup>1</sup>, 古川昭雄<sup>1</sup>

Tokyo Univ. of Science<sup>1</sup>, Takuya Okayama<sup>1</sup>, Shusaku Matsumoto<sup>1</sup>, Akio Furukawa<sup>1</sup>

E-mail: 7318513@ed.tus.ac.jp

接触センシング技術は、ロボットや透明タッチパッドなど様々な分野で重要な役割を担っている<sup>1)</sup>。本研究は FET のゲート絶縁膜に圧電体材料を用いた接触センサ機能をもつデバイスの作製を目的としている。本報告では、FET のゲート絶縁膜に用いる P(VDF-TrFE)の結晶化のための熱処理前後 (135°C) で FET の電流値に大きな変化が見られたので報告する。

作製した FET は図 1 の構造をもつ。圧力検知膜及び FET のゲート絶縁膜として P(VDF-TrFE)(75/25)を用い、半導体層には安価で比較的低い温度で結晶成長できる ZnO を用いた。半導体層は RF マグネトロンスパッタ法、絶縁膜に用いた P(VDF-TrFE)はスピコート法により 700 nm 成膜し、ゲート(G)電極には Au を用いた。MgZnO 層はバッファ層として用いた。FET のチャンネルのソース・ドレイン間は 1 mm、チャンネル幅は 5 mm である。この FET はチャンネルに Al ドープ ZnO を用いており、ゲート電圧ゼロで電流が流れるディプレッション型である。FET 作製最後に P(VDF-TrFE)に強誘電性を発現させるため 135°C で 2 時間熱処理を行ったが、その前後での静特性の違いを測定した。

P(VDF-TrFE)を熱処理する前後の FET のドレイン電流-電圧特性を図 2 と図 3 に示す。どちらも線形領域と飽和領域が確認でき、 $V_{GS}$  を 0 から負へと電圧を変化させることによって  $I_{DS}$  が小さくなるのがわかる。しかし、両者を比べると熱処理前では熱処理後に比べて電流値が大幅に少ない。また、チャンネル電流をオフするのに必要な電圧も大きく異なる。

$V_{GS}=0V$  時の線形領域のチャンネル抵抗に着目すると熱処理前では約 50M $\Omega$  に対して熱処理後では約 1M $\Omega$  になっており、抵抗値が 1/50 程度になっている事がわかる。また、P(VDF-TrFE)成膜前のチャンネルの抵抗値は 0.15M $\Omega$  程度であった。これらの抵抗値の違いは、チャンネルの電子数の違いが反映されていると考えられる。P(VDF-TrFE)膜の有り・無しやそのアニール前後でシート電子濃度が変化していると考えられ、その原因は、Al ドープ ZnO 層と P(VDF-TrFE)層の界面でのエネルギーバンドの接続位置が上記の各状態で異なっていると考えられる。

P(VDF-TrFE)層成膜前にチャンネル抵抗が 0.15M $\Omega$  であったものが、成膜後には 50M $\Omega$  となっていることから、界面での ZnO 側接続位置が上がり空乏層が ZnO 中に大きく広がった可能性がある。その後の 135°C でのアニールでチャンネル抵抗が 1M $\Omega$  と下がったのは、熱処理による P(VDF-TrFE)層結晶化の過程で接続位置が下がり、空乏層が縮小したと考えられる。

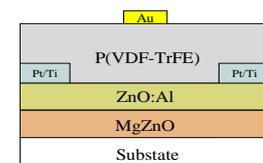


図 1 試料構造

1) R. Dahiya, G. Metta, M. Valle, A. Adami, and L. Lorenzelli: Appl. Phys. Lett. 95, 034105 (2009).

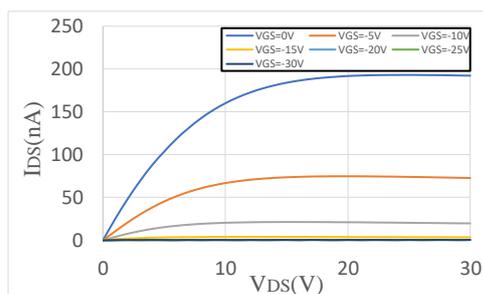


図 2  $I_{DS}$ - $V_{DS}$  特性 (熱処理前)

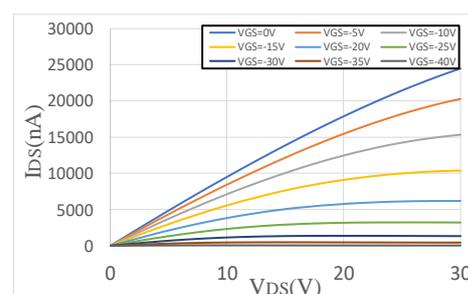


図 3  $I_{DS}$ - $V_{DS}$  特性 (熱処理後)