

# ドリフト拡散シミュレーションにおける 基盤不純物の離散性に伴った分極効果

## Polarization Effects associated with Discreteness of Substrate Impurities in Drift-Diffusion Simulations

筑波大応理<sup>1</sup>, 筑波大数理<sup>2</sup> ○(B)塚原 浩平<sup>1</sup>, (P)吉田勝尚<sup>2</sup>, 佐野伸行<sup>2</sup>

Univ. of Tsukuba<sup>1</sup>, Inst. Appl. Phys.<sup>2</sup>, °Kohei Tsukahara<sup>1</sup>, Katsuhisa Yoshida<sup>2</sup>, Nobuyuki Sano<sup>2</sup>

E-mail: [s1511033@u.tsukuba.ac.jp](mailto:s1511033@u.tsukuba.ac.jp)

【はじめに】不純物の離散性が顕著になる微細デバイスに連続体近似のもとで理論構築されたドリフト拡散法を適用するには、長さのスケールがポアソン方程式と輸送方程式の両方で整合するようにポテンシャルを反映させる必要がある。加えて、ナノスケールデバイスにおいては、不純物の離散性に伴った酸化膜界面での分極電荷を考慮する必要がある。本研究では、分極電荷を考慮した不純物モデルをドリフト拡散シミュレーションに導入し、しきい値電圧  $V_{th}$  への分極の影響を検討した。

【シミュレーション方法】不純物の離散性と分極電荷を考慮した不純物モデル[1]を用いて Fig.1 に示される n 型 FinFET 構造のデバイス特性を解析した。酸化膜は  $\text{SiO}_2$  と  $\text{HfO}_2$  を想定し、比誘電率はそれぞれ 3.9, 23.9[2] とし、厚さは EOT を揃えるため 1.0, 6.13 nm とした。また、Si の比誘電率は 11.9 とした。チャネル長は 40 nm を想定し、不純物は連続体近似で  $5.0 \times 10^{18} \text{ cm}^{-3}$  に相当する 60 個をチャネル領域にランダムに配置した。デバイスシミュレーションは 3 次元ドリフト拡散法を用いた。

【結果・考察】離散不純物の空間分布が異なる 500 サンプルに対してシミュレーションを実行し、得られた  $V_{th}$  の平均値を表 1 に示す。ゲート酸化膜として  $\text{HfO}_2$  を用いた場合は、 $\text{SiO}_2$  を用いた場合に比べて  $V_{th}$  が 18 mV 小さくなることわかる。また、界面の影響を考慮していない(酸化膜の種類に依らない)従来の長距離離散不純物モデルで同様にシミュレーションした時の  $V_{th}$  の平均値は -73 mV であった。(フラットバンド電圧は  $\text{HfO}_2$  に一致させた)。Fig.2 にそれぞれのゲート酸化膜に対する 500 サンプルの  $V_{th}$  に対するヒストグラムを示す。いずれの酸化膜の場合でも、統計分布は正規分布でよく近似できることわかる。しかしながら、 $\text{HfO}_2$  の場合(左側)と  $\text{SiO}_2$  の場合(右側)では、 $V_{th}$  の統計分布が明瞭にシフトしていることが見て取れる。これは、 $\text{HfO}_2$  の比誘電率(23.9)が Si の比誘電率(11.9)よりも大きいが、 $\text{SiO}_2$ (3.9)では Si(11.9)よりも小さいために、界面に誘起される分極電荷の符号が反転するためである。その結果、 $\text{HfO}_2$  では実効的にアクセプタ濃度が小さくなるのに対し  $\text{SiO}_2$  では実効的に大きくなるためと解釈できる。これらの結

果は不純物の離散性を考慮して初めて生じる現象である。

【まとめ】ナノスケール構造で重要になる界面の影響を考慮した離散不純物モデルをドリフト拡散シミュレーションに導入した。その結果、不純物の離散性から、酸化膜界面に分極電荷が生じ、酸化膜の比誘電率に応じて  $V_{th}$  のシフトが生じることを初めて実証した。

### 【参考文献】

- [1] N. Sano, K. Yoshida, CW. Yao, and H. Watanabe, *Materials*, **11**(12), 2559 (2018).  
[2] X. Zhao and D. Vanderbilt, *Phys. Rev. B* **65**, 233106 (2002).

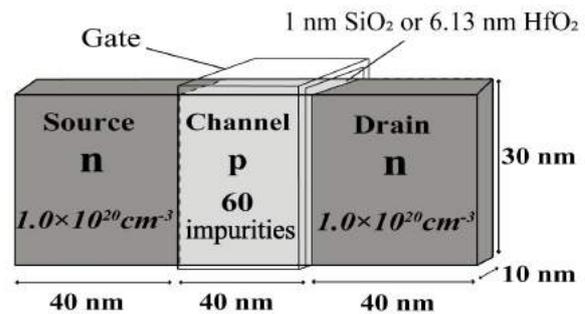


Fig.1: Sketch of n-FinFET employed in this work. The drain voltage  $V_d=0.05$  V is applied.

TABLE I  
Averaged  $V_{th}$  obtained from 500 impurity configurations.

Oxide Material	$\text{HfO}_2$	$\text{SiO}_2$
$V_{th}$	-80 mV	-62 mV

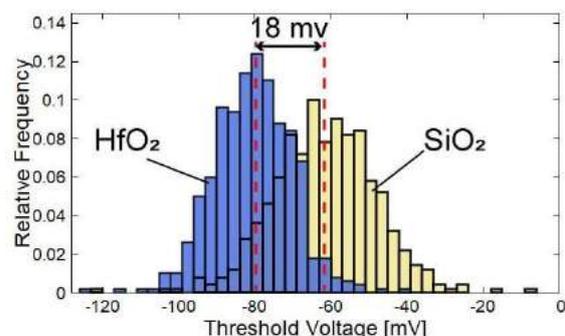


Fig.2:  $V_{th}$  distributions for 500 different impurity configurations for the gate oxide of  $\text{HfO}_2$ (left) and  $\text{SiO}_2$ (right). The dashed lines represent the position of average  $V_{th}$  for  $\text{HfO}_2$  and  $\text{SiO}_2$ .