

CMOS 互換プロセスによるスケラブルな積層構造型 シリコン量子ビットの提案

Scalable silicon qubits with stacked structures by CMOS Technology

東大生研

°(M2)伊藤 優希, 小林 正治, 平本 俊郎

IIS, Univ. of Tokyo

°Yuki Ito, Masaharu Kobayashi, and Toshiro Hiramoto

E-mail: y.ito@nano.iis.u-tokyo.ac.jp

【はじめに】量子計算に用いる量子ビットの中でも、シリコン量子ビットは、他の量子ビットと比較して洗練されたシリコンプロセス工程が用いることが出来る点や、制御に用いる CMOS 古典計算機との親和性に優れている点から注目を集めている。更に核スピンを持たない安定同位体である ^{28}Si を用いることで他の半導体スピン量子ビットと比べて飛躍的にコヒーレンス時間が延ばせることが示されている[1]。これまでに、FD-SOI プロセス工程でシリコン量子ビットが作製され、正孔系量子ビットで 85 MHz の非常に高いラビ振動周波数が観測されている[2]。一方で量子ビットの集積化の観点からは 1 次元上に量子ビットを配列することで 9 量子ビットまでの実装がされているものの[3]、多量子ビット化を実現するために有利なデバイス構造は未だ作製されていない。

【提案】本研究では、積層構造型シリコン量子ビットを提案する。Fig. 1 に提案する量子ビットのデバイス構造を示す。積層ナノシートトランジスタのプロセス工程[4]を参考に、通常の SOI 基板上に単結晶の SiGe と Si を交互にエピタキシャル成長させ、積層基板を作製し、複数のチャンネル層とゲート電極を有するデバイス構造を作製する。量子ビットと量子状態読み出しに用いるセンサトランジスタは同一のチャンネル層に作製され、ゲート電極は層間で共通である。デバイス上部に Co 磁石を蒸着し傾斜磁場を印加することで複数層に形成された量子ビット間で選択的にスピン操作が行うことが出来る。チャンネル部の台形構造により、量子ビット間とセンサトランジスタ間の容量を複数層間で変化させることで、量子状態の読み出しも選択的に行うことが出来る。提案した構造はチャンネルとなる単結晶 Si 層やゲート電極を容易に増やすことが出来ることから、多量子ビット化の実現に有利である。

【結果】提案する積層構造型シリコン量子ビットを Fastcap2 [5]上でモデリングを行い、量子ビットとセンサトランジスタ間の容量抽出を行った。量子状態の読み出しシミュレーション結果を Fig. 2 に示す。Fig.2 からセンサトランジスタの I_d - V_g 特性が各量子状態に対応し、電流測定を行うことで全ての量子状態が読み出せることが示された。

【まとめ】シリコン量子ビットの集積化を実現するため、積層構造型シリコン量子ビットを提案した。量子状態の読み出しシミュレーションにより、提案した構造で複数の量子状態を独立に読み出すことが出来ることが明らかとなり、多量子ビット化実現の可能性を示した。

参考文献[1] K. M. Itoh, and H. Watanabe, MRS communications, 4, 143-157, 2014. [2] R. Maurand, et al, Nature communications, 7, 13575, 2016. [3] D. M. Zajac, et al, Physical Review Applied, 6, 054013, 2016. [4] N. Loubet, et al, VLSI Technology, T230, 2017. [5] FastCap2, <http://www.fastfieldsolvers.com/>

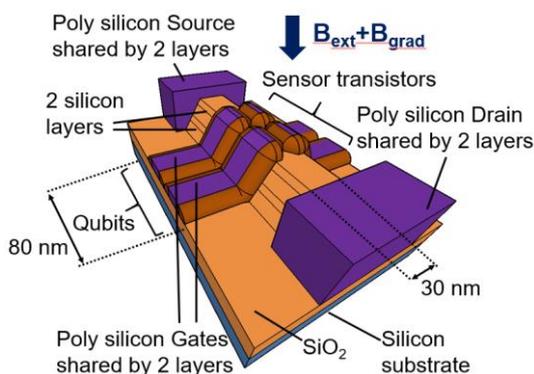


Fig. 1 Proposed silicon qubits with stacked structures, consisting of multiple silicon channel layers and gate electrodes shared by multiple silicon layers.

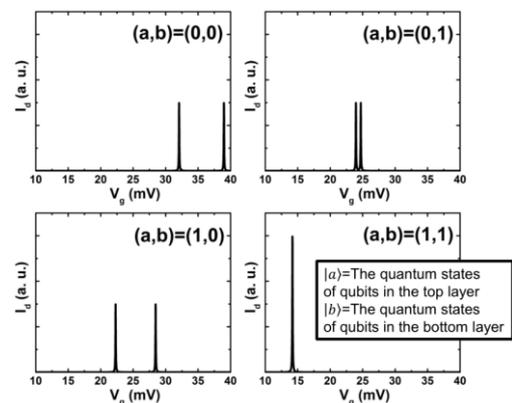


Fig. 2 Simulation results of reading the multiple quantum states. The current peaks reflect the corresponding quantum states.