

MOVPE 法による(211)Si 基板上の n-CdTe 層の厚膜化との高電子密度化に関する検討 [II]

MOVPE growth of thick n-CdTe layers with high electron density grown on (211)Si substrate[II]

名工大院工: °東良悠喜, 森拓郎, 田村怜也, 鳥居稜

安形保則, ニラウラ・マダン, 安田和人

E-mail: 30413164@stn.nitech.ac.jp

Nagoya Inst. of Tech., °Y.Higashira, T.Mori, R.Tamura, R.Tori, Y.Agata, M.Niraula, K.Yasuda,

【はじめに】

MOVPE 法による(211)Si 基板上の CdTe 成長層を用いた、p-CdTe/n-CdTe/n⁺-Si ヘテロ接合ダイオード型放射線画像検出器の開発を行っている。先ほどの鳥居らの報告にて、n-CdTe 層の成長温度が 400°C以上の時、成長速度が増加し厚膜化が可能であることを述べた。ここでは n-CdTe 層の高電子密度化に関する検討として成長温度を 400°Cで一定にし、成長用原料 DETe と DMCd の供給比(VI/II比)を変化させて成長を行った。

【実験条件】

検討試料には、n⁺(211)Si 基板の上にアンドープの高抵抗 p-like CdTe 層を緩衝層として 10μm 成長させ、その上に n-CdTe 層を 400°Cで 3 時間成長させたものを用いた。n-CdTe 層成長時には VI/II 比を 0.1 から 0.3 と変化させた。成長層の膜厚は約 6μm である。n-CdTe 層の電子密度はホール効果により評価した。また試料の結晶性は(422)面の二結晶 X 線半値幅、電気特性は試料を 4.2K に冷却し Photoluminescence (PL)測定により評価した。

【実験結果】

Fig.1 に試料の(422)面の二結晶 X 線半値幅の値を示す。この結果より、VI/II 比が 0.2 を除く全ての条件で半値幅の値は 500 arcsec.程度であり、良好な結晶性が確認できた。Fig.2 に試料のホール効果測定を行った結果を示す。この結果、VI/II 比が 0.1 の時に電子密度は最大の $1.2 \times 10^{17} \text{ cm}^{-3}$ であり、他の条件より 1 桁ほど高い値となった。また、PL 測定を行った結果、1.58 eV 付近にヨウ素ドーパントによる(D⁰,X)発光と共に 1.45 eV 付近に DAP 発光が観察された。以上の検討の結果、VI/II 比 0.1、成長温度 400°Cを用いた場合、n-CdTe 層の厚膜化と高電子密度化が可能であることが分かった。

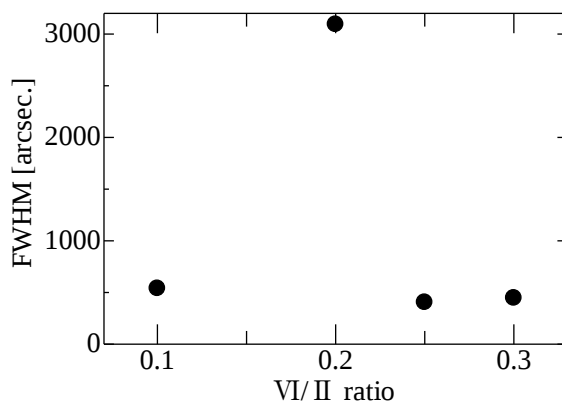


Fig.1 DCRC 半値幅値のVI/II比への依存性

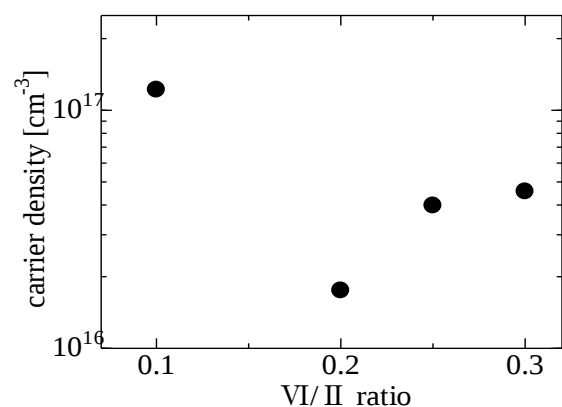


Fig.2 電子密度のVI/II比への依存性