

原子層薄膜 CaF_2/Si ヘテロ構造を用いた
p 型共鳴トンネルダイオードの室温微分負性抵抗特性

Room temperature negative differential resistance of
p-type resonant tunneling diodes using atomically thin CaF_2/Si heterostructures

東工大工学院 ○三上萌, 福山聡史, 渡辺正裕

Tokyo Institute of Technology, Kizashi Mikami, Satoshi Fukuyama, and Masahiro Watanabe

E-mail : mikami.k.af@m.titech.ac.jp

【はじめに】

シリコン(Si) / 弗化カルシウム(CaF_2)ヘテロ構造は、界面における伝導帯バンド不連続が 1~2 eV、結晶構造が類似で格子定数が近いことから Si 基板上に原子層レベルの積層エピタキシャル成長可能であり、室温において大きな peak-to-valley 電流比(PVCR)を有する共鳴トンネルダイオード(RTD)の構成材料として有望である。これまで Si/CaF_2 ヘテロ構造を用いた RTD については、n 型駆動 RTD 素子の微分負性抵抗(NDR)特性について報告してきたが、価電子帯側のバンド不連続等に関する情報が限られており、p 型駆動 RTD については未報告であった。今回、単一障壁トンネルダイオードの電流電圧特性から見積もった価電子帯バンド不連続量を適用して p 型駆動 Si/CaF_2 二重障壁構造 RTD を設計、作製したところ、室温において、ピーク電流密度 10^5 A/cm^2 、PVCR が 30 を超える NDR 特性をはじめて観測したので報告する。

【実験方法】

今回作製した素子構造を Fig.1 に示す。p-Si(111)基板(0.1°off, $\rho < 4 \text{ m}\Omega \text{ cm}$)をSPM洗浄後、Wet酸化炉で熱酸化を行い SiO_2 を30nm形成する。その後、直径 ϕ の窓($\phi = 2\mu\text{m}, 500\text{nm}, 100\text{nm}$)をBHF(22%)によるウェットエッチングで形成した後、保護酸化膜を形成し、分子線エピタキシー装置(MBE)に搬入する、その後、保護酸化膜を除去し結晶成長 CaF_2 (0.62nm)/Si(1.55nm)/ CaF_2 (0.62nm)/Si(4.96nm)を行う。最後にCr/Au電極をリフトオフにより形成し完成となる。電流電圧測定には半導体パラメータアナライザ Keysight-4155Cを用いた。

【結果と考察】

作製した素子の室温における I-V 特性例を Fig.2 に示す。印加電圧は下部 p 型基板側の電極電位を正にとった。印加電圧 0.85 V 付近に明瞭な微分負性抵抗特性が観測され、ピーク電流密度 (J_{peak}) は 457 kA/cm^2 、PVCR は 36.3 であった。Esaki-Tsu モデルによる電流電圧特性の理論解析との比較では、2つの CaF_2 障壁層を 1 原子層に相当する 0.31 nm と仮定したときの J_{peak} 値 471 kA/cm^2 及び PVCR 値 34.1 とよく整合する結果を得た。同一ウエハ上におけるピーク電圧 V_{peak} 、 J_{peak} 、及び PVCR の分布等についても議論する。今回の結果は、p 型駆動の二重障壁構造 Si/CaF_2 RTD としてはじめて室温微分負性抵抗特性を観測したものであり、今後の高速スイッチング素子、メモリやサブバンドデバイス応用へ向けて、本研究で提案する材料系の有望性を示唆するものとする。

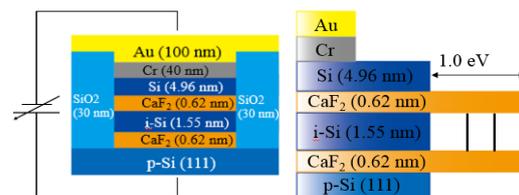


Fig.1 素子構造及び価電子帯バンド図。

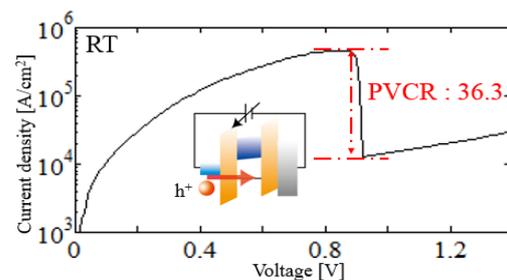


Fig.2 室温微分負性抵抗特性。