

## 擬似不揮発性 FF の速度性能優先設計とその回路性能

Circuit performances of virtually nonvolatile retention FF with desired-speed design

東工大未来研 北形大樹, 松崎翼, 山本修一郎, 菅原聡

D. Kitagata, T. Matsuzaki, S. Yamamoto, and S. Sugahara, FIRIST, Tokyo Inst. of Tech.

E-mail: kitagata.d@isl.titech.ac.jp

**【はじめに】**現在のマイクロプロセッサやシステムオンチップ(SoC)では待機時消費電力の削減のためパワーゲーティング(PG)が用いられている[1]。しかし、現状のPGではCMOSロジック内の記憶回路が揮発性であることに起因して、PGのエネルギー削減効率は制約を受けている。不揮発記憶の導入は高効率PGの実現に有効ではあるが、既存の不揮発性記憶素子への高い書き込みエネルギーや、CMOSロジックへのエンベディッド技術が課題となる。そこで、我々はPGにおける電源遮断時に回路ブロックに生じる微小な仮想電源電圧( $V_{VDD}$ )を用いて、不揮発性記憶素子を用いることなく、データを保持できる擬似不揮発性双安定記憶回路の検討を進めている[2,3]。今回は擬似不揮発性フリップフロップ(VNR-DDF)について、エネルギー性能を従来DDFと同等まで向上できるエネルギー性能優先設計について報告した[4]。今回は従来DDFと同等の速度性能を実現できる速度性能優先設計の詳細とその回路性能について報告する。

**【回路構成と設計方法】**VNR-DDFの構成を図1に示す。VNR-DDFは従来のDDFのスレーブラッチをデュアルモードインバータ(DMI)(図1参照)で置換することで構成できる。VNR-DDFはDMIをコントロールドライブによって超低電圧下で安定にデータ保持できるシュミットリガ(ST)モードと、通常電圧下で高速動作可能なブーステッドインバータ(BI)モードに切り替えることができる。PGの電源遮断時には、STモードによって超低電圧リテンションを行い、導通時にはBIモードによって従来のDDFと同等の高速動作を実現できる[4]。設計では、まず従来のCMOSによるスタンダードセルなど基準となるDDFを決め、このDDFに用いているトランジスタ( $T_r$ )と同じサイズの $T_r$ でDMIを構成する。FB $T_r$ はメインインバータと同じ $T_r$ サイズとする[4]。コントロールドライブについても同様にDMIと同じ $T_r$ サイズで構成する[4]。これを標準セルとするが、この標準セルでは基準となるDDFセルに比べて、リークと遅延は大きい。エネルギー性能優先設計では標準セルのフォワードパスのDMIの $T_r$ サイズのみを小さくすることでリーク電流を削減できる(基準DDFと同じリークを実現できる)[4]。速度性能優先設計では、スレーブラッチのDMIを駆動するマスタラッチのインバータとこれらの間にあるトランスファゲートの $T_r$ サイズを標準セルから $\alpha$ 倍に大きくすることで実現する(図1参照)

**【解析結果】**解析にはHSPICEを用い、デバイスには65nm CMOSを使用した。図2にクロック-出力遅延と通常動作時におけるリーク電流の $\alpha$ 依存性を示す。 $\alpha=2.3$ で従来DDFと同等の速度性能を達成できる。このときVNR-DDFのリーク電流は基準DDFと比べて1.5倍に増加するが、DDFのチップ上での占有率( $R_{AO}$ )を考慮すると、リーク電力増加の影響はほとんどない。例えば占有率が30%であれば、チップのリーク電力は2%程度しか増加しない。一方、PGにおけるエネルギー性能評価指標であるBreak-even time(BET;消費エネルギーを削減できる最少の電源遮断時間)については、この僅かなリーク電力の増加が影響してくる。図3の実線は速度性能優先設計におけるBETの通常動作時間( $\tau_{exe}$ )依存性である。図にはいくつかの $R_{AO}$ の場合を示してある。エネルギー優先設計では図中の破線のようにBETは $\tau_{exe}$ に依存しないが(ただし遅延は長い)。一方、速度性能優先設計では、図中の実線のようにBETは、 $\tau_{exe}$ とともに増大する成分を持つ。ただし、この場合でもBETは $\tau_{exe}$ の $\sim 1/1000$ 程度と、PGに十分応用可能な小さな値が得られる。

**【謝辞】**本研究内容の一部は科研費(基盤A)の支援を受けた。シミュレーションは東京大学大規模集積システム設計教育センター(VDEC)を通しシノプシス株式会社の協力で行われたものである。

**【参考文献】**[1]Y.Kanno et al., IEEE J. Solid-State Circuits, 42, 1, pp. 74-83, 2007. [2]D.Kitagata et al., NGCAS2018, p.182. [3]D. Kitagata et al., S3S2018, paper 13.5.[4]北形 他, '18 秋応物, 20a-CE-5.

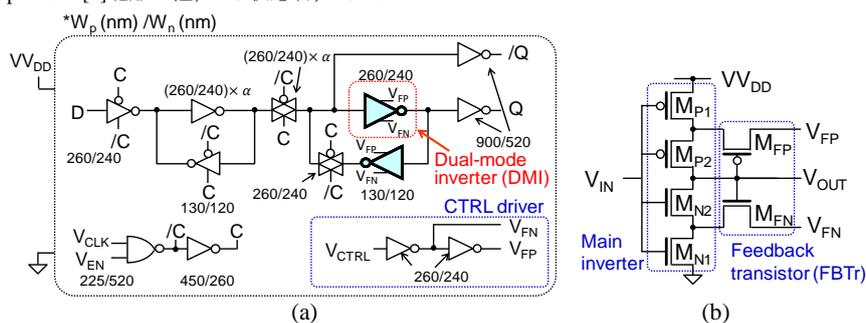


図1 (a)VNR-DDF と (b)DMI の回路構成

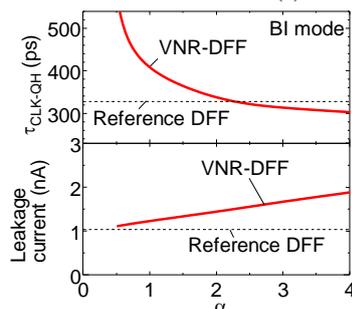


図2 クロック-出力遅延とリーク電流の $\alpha$ 依存性

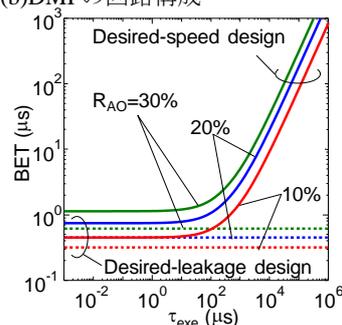


図3 BET の  $\tau_{exe}$  依存性.  $R_{AO}$  は 10%-30% とした.