

デュアルパワースイッチを用いた擬似不揮発性 SRAM の設計と解析

Design and analysis of virtually nonvolatile retention SRAM using dual power-switches

東工大未来研 吉田隼, 北形大樹, 山本修一郎, 菅原聡

H. Yoshida, D. Kitagata, S. Yamamoto, and S. Sugahara, FIRST, Tokyo Inst. of Tech.

E-mail : yoshida.h.ao@m.titech.ac.jp

【はじめに】パワーゲーティング(PG)はマイクロプロセッサや SoC などの CMOS ロジックシステムにおける待機時電力を削減技術である[1]。しかし, CMOS ロジック内の記憶回路が揮発性回路で構成されるため, 電源遮断後にも必要となるロジックドメイン内のデータをバックアップする必要があり, このための余剰エネルギーやレイテンシが PG の高効率化の課題となっている。これには記憶回路の不揮発化が有効であるが, 既存技術では不揮発性メモリへの大きな書き込みエネルギーや, CMOS ロジックへの不揮発性メモリのエンベディッド技術が問題になる。そこで, 我々は PG による電源遮断時に回路ブロックに生じる微小な仮想電源電圧(Virtual V_{DD} ; VV_{DD})を用いて, 不揮発性メモリ素子を用いることなく, データを保持できる擬似不揮発性双安定記憶回路を提案している[2]。今回は, 擬似不揮発性 SRAM(VNR-SRAM)の設計と性能解析を行い, VNR-SRAM を用いれば待機時電力を大きく削減できることを示した[3]。今回, 待機時電力削減効率をさらに向上できるデュアルパワースイッチを用いた VNR-SRAM セルを提案する。

【動作原理】図 1 に VNR-SRAM セルの構成を示す。セルはデュアルモードインバータ(DMI)で構成し[3], DMI を通常の電圧下で高速動作が可能なブースト・インバータ(BI)モードと, 超低電圧情報保持が可能なシュミットリガ(ST)モードを切り替えるためのコントロールドライバと, セルへの供給電圧を切り替えるパワースイッチ(PS)が接続されている。PS はデュアルパワーレイルで構成し, ヘッダ PS(PS1, PS2)とフッタ PS(PS3, PS4)の両方を用いた。通常動作は PS1 と PS3 を導通させ, BI モードで高速動作させる。超低電圧動作は PS2, PS4 を導通させ, ST モードを用いて超低電圧リテンション動作を実現する。セルの pMOS と nMOS の基板バイアスはそれぞれ電源線, 接地線に接続する。この構成では超低電圧動作時に基板バイアス効果が自動的に生じ, 効果的にリーク電流を削減できる。

【設計結果】HSPICE を用いてセルの解析を行った。デバイスには 65 nm CMOS を用いて, セル T_r のチャンネル幅は前回報告した設計結果を用いた[3]。図 2 に, 超低電圧リテンションにおける待機時電力とスタティックノイズマージン(SNM)の V_{SSH} 依存性を示す。ここで $V_{DDL} = V_{SSH} + 0.20$ (V) に設定してあり, セルは超低電圧リテンション動作時に 0.2 V 程度の電圧で情報保持を行う。 V_{SSH} を 0.5 V 程度とすることで待機時電力が低く, SNM の大きなセルを構成できることがわかる。図 3 にこのときの各動作の SNM をプロセスコーナごとに示す。全動作状態において, プロセスばらつきを考慮しても 80 mV 程度の十分な SNM を確保可能である。図 4 に 6T-SRAM と VNR-SRAM の待機時電力を示す。図には前回報告したヘッダ PS のみを用いたセルと, 今回提案したデュアル PS を用いたセルの結果が示してある。デュアル PS 構成を用いることで 6T-SRAM と比較して待機時電力を約 1/100 にまで削減できる。ヘッダ PS のみの構成において, 同等のリーク電力の削減を行うためには数 V 以上の大きな基板バイアスを加える必要があるが, 提案のデュアル PS の構成では, 陽に基板バイアスを与えることなく, PS による実質的な基板バイアス効果によって効果的に待機時電力を削減できる。

【謝辞】本研究内容の一部は科研費(基盤 A)の支援を受けた。シミュレーションは東京大学大規模集積システム設計教育センター(VDEC)を通しシナプシス株式会社の協力で行われたものである。

【参考文献】[1]Y.Kanno *et al.*, IEEE J. Solid-State Circuits, **42**, 1, pp. 74-83, 2007. [2]D.Kitagata *et al.*, SNW2018, p2-17. [3] 吉田隼他, 第 79 回応用物理学会秋期学術講演会, 20a-CE-6, 2018.

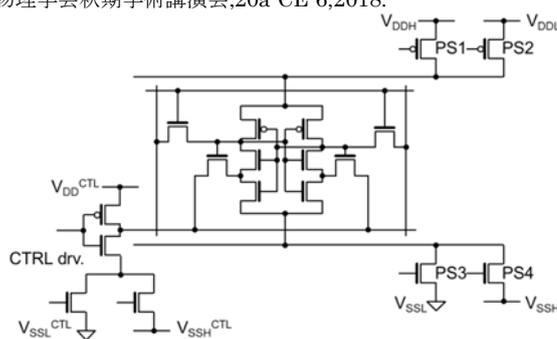


図 1 VNR-SRAM セルの構成

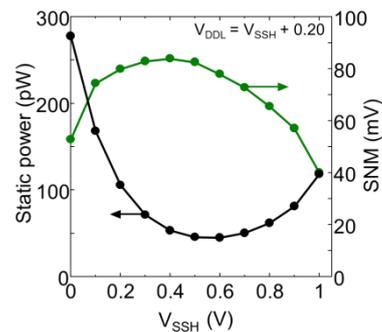
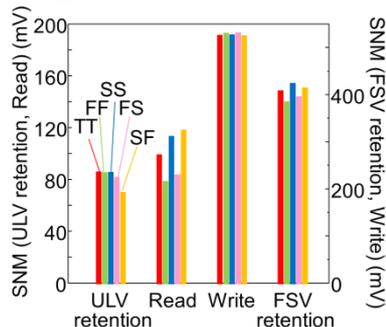
図 2 待機時電力, SNM の V_{SSH} 依存性

図 3 各動作における SNM

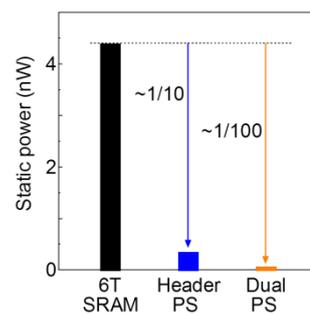


図 4 待機時電力比較