新構造ピエゾエレクトロニックトランジスタの低リーク設計とその SRAM への応用

Low-leakage design of a new piezoelectronic transistor and its SRAM application

[1] 東工大未来研, [2] 東工大材料系, [3] 東工大電気電子系
°塩津 勇作 [1], 山本 修一郎 [1], 舟窪 浩 [2], 黒澤 実 [3], 菅原 聡 [1]
°Y. Shiotsu[1], S. Yamamoto[1], H. Funakubo[2], M. K. Kurosawa[3] and S. Sugahara[1]
[1] *FIRST, Tokyo Inst. of Tech.*, [2]*Dept. of Mater. Sci. and Eng., Tokyo Inst. of Tech.*, [3]*Dept. of Electr. and Electron. Eng., Tokyo Inst. of Tech.*
E-mail: y.shiotsu@isl.titech.ac.jp

【はじめに】 CMOS ロジックにおけるサブ/ニアスレッショルド電圧駆動は大幅な消費電力の削減が可能であるが，電流駆動能力の劣化によって回路の速度性能は大幅に低下してしまう[1]. ピエゾエレクトロニックトランジスタ(PET)は 0.2 V 以下の超低電圧においても大きな電流駆動能力を有する可能性があり，超低電圧駆動による大幅な消費電力の削減と高速動作の両立が可能なトランジスタとして期待できる[2-5]. PET は圧電体(PE)ゲートとピエゾ抵抗体(PR)チャネルから構成され，PE ゲートから PR チャネルに印加される圧力によるチャネルの金属–絶縁体転移を用いてトランジスタ動作を行う[2]. IBM から提案されたオリジナルの PET では PE ゲートから PR チャネルに効果的に圧力を印加するため，デバイスを取り囲む高降伏強度材料からなるデバイスの支持構造が必要となるが，我々はデバイスの支持構造を用いることなく，PE ゲートから PR チャネルに効果的に圧力を印加できる新構造の PET を提案した[3-5]. 本発表では，所望のオン電流もしくはリーク電流を実現できる PET の設計方法の詳細を示し，このように設計された PET を SRAM に応用した場合の電力性能を報告する.

【デバイス構造と設計方法】 図 1(a)に新型 PET の構造図を示す. 新型 PET では円筒形の PR チャネルを取り囲むように PE ゲートを配置し，PE ゲートはドレイン・ソースの向きと平行になるように誘電分極させてある. この構造では，高降伏強度材料などによる支持構造を用いることなく，PR チャネルに圧力を効率的に印加できる. また，誘電分極の向きを変えることで CMOS と同等の相補型動作を実現できる. PET の動作は，electro-mechanical 方程式から構築した等価回路を用いて解析した. この等価回路を用いた解析法は PET で構成した回路の性能評価に特に有用である. 本研究では，PR チャネルに SmSe を，PE ゲートに $Pb(Mg_{1/3}Nb_{2/3})O_3$-$PbTiO_3$ (PMN-PT)を選択し，その物性値は報告値を用いた[2,3]. PET の電流駆動能力はゲート電圧 V_G によって PR チャネルに印加される圧力 P に依存する. P は $P=\alpha V_G$ と表せる. αは図 1(c)に示す構造パラメータや PE ゲートのヤング率，圧電定数などから決まる定数である. このαについては，所望のオン電流 I_D から設計する方法と，所望のリーク電流 I_{leak} から設計する方法の 2 つがある[5]. ただし，どちらの場合でも信頼性の確保のため電流密度 J_D はある決められた値を満たすように設計される. 今回は，動作電圧を V_{DD}=0.2 V として，J_D をフルスイング動作時の 10 nm FinFET[6]を参考に決めた.

【設計と解析結果】 チャネル長 L_{PR}=14 nm における所望の I_D を得るための設計結果を図 2 に，所望の I_{leak} を得るための設計結果を図 3 に示す. ここでは $L_{PR}=L_{PE}$ として設計を行った[4]. I_D もしくは I_{leak} をどのような値に設定しても，適切な d_{PE} と D_{PR} を選択することで J_D の値を保ったまま目標値を達成できる. 図 4 に PET で構成できる 10T-SRAM を示す. 周辺回路も PET で構成してある. 図 5, 6 に SRAM の待機時の電力 $P_{standby}$ と動作周波数 f を示す(f の上限は 1 GHz とした). それぞれグラフの横軸の I_D または I_{leak} から設計した PET を用いて SRAM を構成してある. また，図には FinFET で構成した SRAM をフルスイング(0.75 V)で動作させた時の $P_{standby}$ も示してある. FinFET と同じ I_D となるように PET を設計した場合では，0.2 V の駆動電圧でも f=1 GHz で動作可能となり，$P_{standby}$ を FinFET の場合の 30 %まで削減できる. 一方，I_{leak} から PET を設計した場合，例えば FinFET と同じ I_{leak} となるように PET を設計した場合では，駆動電圧 0.2 V でも f=800 MHz で動作可能で，$P_{standby}$ を FinFET の場合の 75 %まで削減できる. I_{leak} を 1/25 倍になるように設計すると，$P_{standby}$ を FinFET の場合の 1 %まで削減できる. このときでも f=150 MHz の動作を実現できる.

【参考文献】 [1] S. Jain *et al.*, IEEE ISSCC, 3.6, 2012. [2] D. Newns *et al.*, J. Appl. Phys. 111, 084509, 2012. [3] S. Sugahara *et al.*, IEEE S3S Conf., 16.5, 2017. [4] Y. Shiotsu *et al.*, IEEE SNW, P2-5, 2018. [5]塩津他，第 79 回応用物理学会秋季学術講演会, 21a-CE-8, 2018. [6] S. Sinha *et al.*, 49th ACM/EDAC/IEEE DAC, pp. 283-288, 2012.

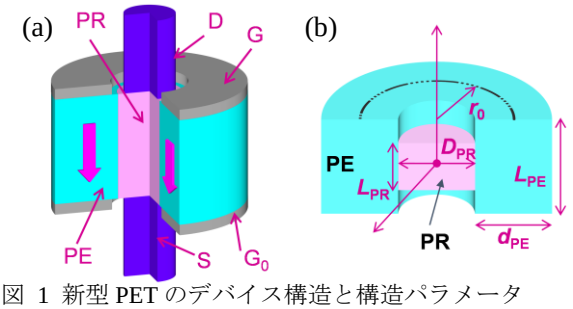

図 1 新型 PET のデバイス構造と構造パラメータ

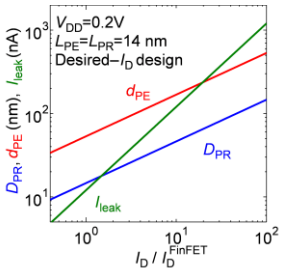

図 2 L_{PR}=14nm における I_D に対する設計結果

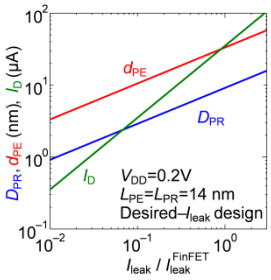

図 3 L_{PR}=14nm における I_{leak} に対する設計結果

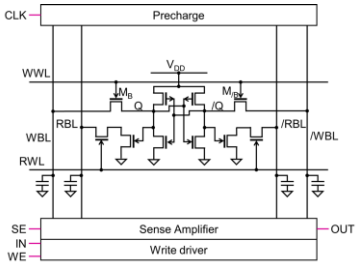

図 4 新構造 PET で構成した 10T-SRAM

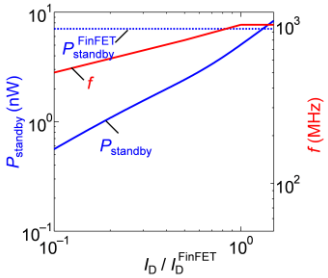

図 5 横軸の I_D で設計した PET による 10T-SRAM セルの $P_{standby}$ と f

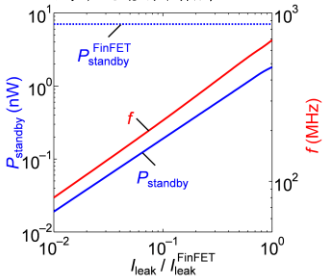

図 6 横軸の I_{leak} で設計した PET による 10T-SRAM セルの $P_{standby}$ と f

© 2019年 応用物理学会