Multichip-to-Wafer 三次元集積化基盤技術の開発 (1)
ーテンポラリ接着剤を用いた一括チップ薄化技術ー
Technology Platform Development of Multichip-to-Wafer 3D Integration (1)
- Multichip Thinning Technology with Temporary Adhesive -

○李 晟豪 [1]、梁 芮 [2]、三輪 侑紀 [3]、木野 久志 [4]、福島 誉史 [1]、田中 徹 [1,2]
(1. 東北大院工、2. 東北大院医工、3. 東北大工学部、4. 東北大学際研)
○Sungho Lee[1], Rui Liang[2], Yuki Miwa[3], Hisashi Kino[4], Takafumi Fukushima[1], and Tetsu Tanaka[1,4]
(Grad. Sch. of Engineering, Tohoku Univ.[1], Grad. Sch. of Biomedical Engineering, Tohoku Univ.[2], Sch. of Engineering Tohoku Univ.[3], FRIS, Tohoku Univ.[4])
E-mail: link@lbc.mech.tohoku.ac.jp

1. 背景

近年、IoT や人工知能アプリケーションに向けて、IC のさらなる高性能化と多機能化が求められている。シリコン貫通電極(Through Silicon Via; TSV)を用いた三次元集積回路(3D-IC)はこれらの要求に最有効な解の 1 つであり、世界中で活発に研究開発が行われている。

3D-IC の積層方式の一つである multichip-to-wafer（MC2W）プロセスは wafer-to-wafer（W2W）プロセスより高い歩留りと、異種サイズの chip 積層可能という利点を有している。一方で、chip-to-chip（C2C）プロセスと比較して高い生産性を有している[1]。

W2W と MC2W プロセスの大きな違いの一つが薄化工程である。薄化する場合、隣り合うチップ間に間隙があり、研削、研磨の際にチップの外周が保護されていないので高い応力がかかる点である。そのため、薄化工程でチップのエッジがチッピングしやすくなる。

本研究では チッピングの無い MC2W プロセスに向けて機械的負荷の低い研磨技術を提案し、特にテンポラリ接着剤の特性に注目してその影響を評価した。

2. 実験方法

Fig. 1 にバックサイドビアラスト TSV プロセスを用いた MC2W 三次元集積化プロセスの工程を示す。本稿では Fig. 1 に示しているステップ 2 の薄化プロセスに関して詳説する。支持基板となるウェハに高耐熱性のテンポラリ接着剤をスピン塗布し、複数のチップをウェハボンダにより一括接合した。本研究では厚さ 280 µm で 3 mm 角サイズのチップを用いた。その後、チップ薄化に伴うテンポラリ接着剤の影響を評価するため、チップ周辺の接着剤を除去したサンプルと除去せずに残したサンプルを作製した。続いて、粒径 9 µm のダイヤモンドスラリでチップ厚 100 µm まで高速機械研磨後、粒径 3 µm のダイヤスラリでチップ厚 60 µm まで低速機械研磨を行った。その後、鏡面化のために化学的機械研磨（Chemical Mechanical Polishing; CMP）を行った。最後に、薄化されたチップを観察し、研磨による機械的負荷の影響を確認した。

3. 実験結果と考察

粒径 9 µm のスラリによる研磨ではチップ周辺の接着剤の有無に関係なく、全てのチップをチッピングなく研磨できた。粒径 3 µm のスラリを用いた研磨、および CMP 工程において、チップ周辺に接着剤を残したサンプルでは一部のチップにチッピングが発生した。一方、チップ周辺の接着剤を除去したサンプルでは CMP までチッピングの発生なくチップを薄化することに成功した（Fig.2）。今回使用したテンポラリ接着剤は 250℃でも粘度低下の少ない高い耐熱性を有するが、ヤング率は 150 MPa と比較的柔らかく伸びる。テンポラリ接着剤を除去していないサンプルでは、この特性が、チップのエッジに高い応力を与えていることが分かった。当日の発表では、テンポラリ接着剤の弾性率の影響や側面保護の効果についても述べる。

4. まとめ

本稿では MC2W 三次元集積化技術の実現に向けて、機械的負荷の低いマルチチップ研磨技術を開発した。本研究で得られた知見は数千から数万のチップをウェハレベルで処理する当該技術の生産性向上に非常に有用である。

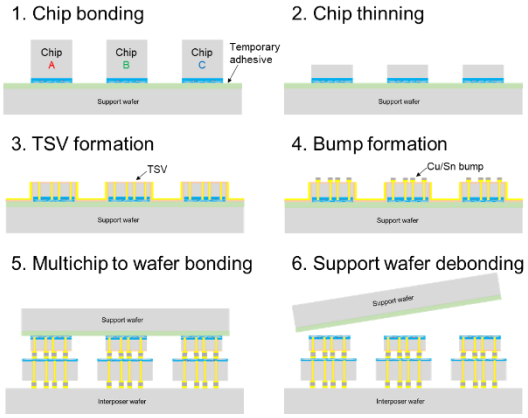

Fig. 1. Process flow for MC2W 3D integration process.

Fig. 2. Top view of a Si chip corner thinned down to 50 µm by CMP.

謝辞 本研究は JSPS 科研費 JP18H04159 の助成を受けたものである。

参考文献

[1] T. Fukushima *et al.*, *IEDM*, pp. 985-988 (2007), T. Fukushima *et al.*, *IEDM*, pp. 349-352 (2009), T. Fukushima *et al.*, *IEEE Trans. Electron Devices*, **61**, pp. 533-539 (2014).

© 2019年 応用物理学会