

Nb 4 層超伝導集積回路上の磁性ジョセフソン接合作製プロセスの検討

Study on fabrication process of magnetic Josephson junctions on Nb 4-layer superconducting integrated circuits

名古屋大学¹, JST さきがけ² ○長谷川 大輝¹, 竹下雄登¹, 神谷 智大¹, 佐野 京佑¹,

田中 雅光¹, 山下 太郎^{1,2}, 藤巻 朗¹

Nagoya Univ¹, JST-PRESTO² ○Daiki Hasegawa¹, Yuto Takeshita¹, Tomohiro Kamiya¹, Kyosuke Sano¹,
Masamitsu Tanaka¹, Taro Yamashita^{1,2}, and Akira Fujimaki¹

E-mail: hasegawa@super.nuee.nagoya-u.ac.jp

単一磁束量子回路は磁束量子を情報担体とする超伝導デジタル回路であり、高速動作性・低消費電力性を特徴に持つが、回路の大規模化に向け、さらなる低消費電力化が求められている。その課題解決のため、超伝導ループ内に 2 つのジョセフソン接合（位相シフトのない 0 接合と、 π 位相シフトを持つ π 接合）を持つ 0- π SQUID を用いた半磁束量子回路[1]が検討されてきたが、スイッチ素子として用いる 2 つのジョセフソン接合の臨界電流値を制御性良く作製することは現時点では出来ていない。そこで我々は、半磁束量子回路を実現するための新たなプロセスの検討を行った。

今回我々は、集積回路の実績のある Nb 4 層プロセス (HSTP) [2]で作製したチップ上に π 接合を作製することとし、0- π SQUID の代わりに 2 つの 0 接合と 1 つの π 接合からなる「0-0- π SQUID」の作製プロセスを提案する。0-0- π SQUID において、HSTP プロセスで作製する 2 つの 0 接合はスイッチ素子として用い、 π 接合は π 位相シフトとして用いる。この π 位相シフトに求められるのは、2 つの 0 接合に対して十分に大きな臨界電流値を持つこと、だけである。ただし、HSTP プロセスで作製したチップの表面状態や膜応力などの影響によって、チップ上に作製する π 接合の制御性が失われてしまうことが懸念される。今回は、Fig.1 に示す 3 つのプロセス構造を検討した (Fig.1 において、円で囲った部分が π 接合を示し、破線より下が HSTP プロセスによって作製した層を示すが、その下の層構造は省略した)。 π 接合は超伝導体/強磁性体/超伝導体からなる SFS 接合で作製する。SFS 接合にはトンネル障壁層がないため下地の影響を受けにくいという可能性を期待している。ただし、(追加で堆積するニオブ膜質や膜ストレスなどによる) 集積回路構造作製への影響を考慮して実験的な比較評価、確認をすることを計画している。

(a), (b) では最初に SiO₂ を成膜後、コンタクトホールを作製し、その後 S/F/S 3 層膜を成膜し π 接合を作製する。この 2 種類のプロセス構造は、 π 接合を作製する場所に違いがあり、チップ表面状態が接合特性に与える影響を評価する目的がある。(c) ではチップ表面をクリーニング後、チップの最上部配線層 (CTL) に直接 π 接合を作製する。このプロセスでは、(a), (b) に比べ膜の厚さが薄く、膜応力の影響は小さいことが期待される一方、チップ表面と π 接合下部電極との超伝導コンタクトの形成が課題となる。講演では、各プロセス及び素子作製の詳細について議論する。

謝辞 本研究は特別推進研究 (JP18H05211) 及び JST さきがけ (課題番号 JPMJPR1669) の支援を受けて実施したものである。

参考文献

- [1] T.Kamiya, et al. IEICE Trans. Electron. E101-C (2018) 385
- [2] N.Takeuchi, et al. Supercond. Sci. Technol. 30, 035002, 2017.

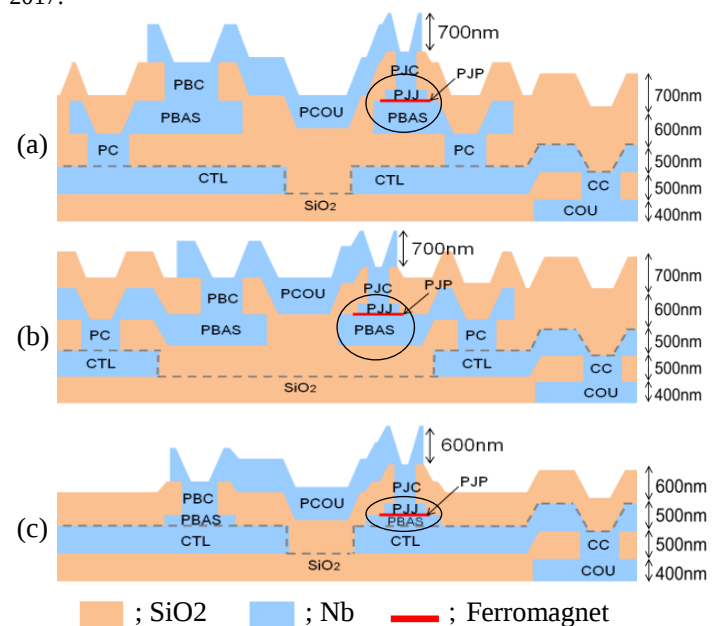


Fig. 1 Cross-sectional view of each process