

1-Gb Josephson-CMOS ハイブリッドメモリに向けた 超伝導ナノ構造ラインドライバの検討

Study on superconducting nano-structured line drivers for 1-Gb Josephson-CMOS hybrid memory

名大工¹, JST さきがけ², 名城大理工³

○佐野 京佑¹, 丸山 晃平¹, 田中 雅光¹, 山下 太郎^{1,2}, 井上 真澄³, 藤巻 朗¹
Nagoya Univ.¹, JST-PREST², Meijo Univ.³

○K. Sano¹, K. Maruyama¹, M. Tanaka¹, T. Yamashita^{1,2}, M. Inoue³, and A. Fujimaki¹
E-mail: k_sano@super.nuee.nagoya-u.ac.jp

現在、大容量極低温メモリシステムの実現に向け、高速動作性に優れた単一磁束量子 (SFQ) 回路と高集積性に優れた CMOS 回路を組み合わせた Josephson-CMOS ハイブリッドメモリの研究がされている[1]。上記の特長から、デコーダを SFQ 回路で、メモリセルを CMOS 回路で構成することが望ましい。しかし、メモリ容量の増大に伴い SFQ-CMOS 回路間の電流/電圧変換部 (Josephson latching driver 及び CMOS 増幅器) の消費電力が支配的となり、LLC (Last Level Cache) に求められるようなギガビットクラスのメモリにおいては 10 W にも及ぶ。一方、室温で動作する従来の半導体メモリの消費電力が 10 W 程度である。よって、冷却コストも考慮し、極低温メモリの消費電力が 10 mW 以下でなければ、これがボトルネックとなり超伝導計算機システムの優位性を示すことはできない。近年、ナノクライオトロン [2] と呼ばれる超伝導ナノ構造トランジスタが提案・実証された。本素子はキロオームオーダーの高いトランスレジスタンスを有するとされ、単一素子での低消費電力かつ高増幅率な電流/電圧変換が期待でき、上記の課題の解決の鍵となる。

本研究では、LLC 用 1-Gb Josephson-CMOS ハイブリッドメモリの実現に向け、超伝導ナノ構造トランジスタを利用したラインドライバを設計し、実際にラインドライバの作製・評価を行った。

本研究におけるハイブリッドメモリは、Energy-efficient RSFQ デコーダ、超伝導ナノ構造ラインドライバ、CMOS メモリセル、Level driven DC/SFQ コンバータでの構成を想定している [3]。本研究では、電源電圧 1 V、CMOS 回路駆動のための出力電圧 0.5 V、繰り返し周波数 5 GHz という条件の下、消費電力が 10 mW 以下となる 1-Gb メモリを実現可能なラインドライバを検討した。0.5 V 以上の出力電圧を確保するため、バイアス抵抗は、出力抵抗と同程度の値とする。メモリの充放電時間、一素子辺りの消費電力から、ラインドライバには、4 kΩ から 16 kΩ の範囲の高出力抵抗が必要であると見積もられた。

今回、NbTiN 薄膜を電子線露光にてパターンニングし、図 1 に示すような超伝導ナノ構造ラインドライバを作製した。本素子は、ドレイン、ソース、ゲートの三端子からなり、ドレイン-ソース間をチャンネル、ゲートとチャンネルの接合部をチャーク

と呼ぶ。また、作製した超伝導ナノ構造ラインドライバのチャンネル長、チャンネル幅、チャーク幅、膜厚は各々 3 μm, 200 nm, 120 nm, 6 nm となった。

図 2 から、ドレイン電流及びゲート電流の印加により作製したラインドライバが超伝導-常伝導転移し、ドレイン-ソース間に 85 mV 程度の出力電圧 ($V_{D,S}$) が得られたことが分かる。これは、先述の要求を満たす約 8 kΩ の高出力抵抗を実験的に得たことを意味する。一方で、得られた出力電圧は、測定系に含まれる 2.8 kΩ のシャント抵抗による供給電流の分流を考慮しても、目標の 0.5 V には至らない。供給可能電流はチャンネルの臨界電流値 (47 μA) に制限されており、成膜条件の最適化及びバイアス電流の供給方法が課題となる。これに加え、現在は、チャンネル全体を常伝導転移可能な最小入力エネルギー及び繰り返し周波数の評価に取り組んでいる。

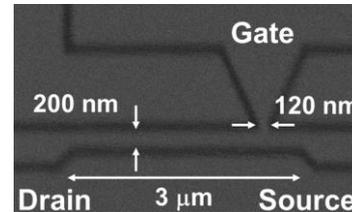


Fig.1 作製したラインドライバの SEM 観察画像

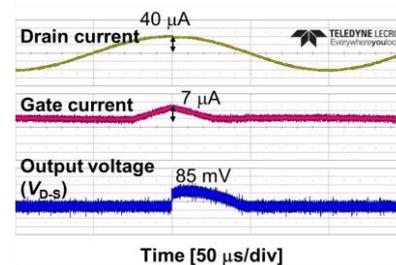


Fig.2 ラインドライバの測定波形一例

謝辞

本研究の一部は、科研費 (JP26220904, JP16H02340, JP16H02796, JP18H05211) の助成を受けたものである。

参考文献

- [1] U. Ghoshal, H. Kroger, and T. Van Duzar, *IEEE Trans. Appl. Supercond.*, **3**, 1, pp.2315-2318 ((1993).
- [2] A. N. McCaughan and K. K. Berggren, *Nano Lett.*, **14**, 10, pp.5748-5753 (2014).
- [3] M. Tanaka et al., *IEEE Trans. Appl. Supercond.*, **27**, 4, p.1800904 (2017).