

横型 Si ナノワイヤ熱電変換デバイスにおける SiO₂ 絶縁膜/Si 基板の最適厚さ設計

Optimization of SiO₂ Insulating Layer and Si-substrate Thickness

in Planar Si-nanowire Thermoelectric Generator

早大理工¹、産総研²、[○]富田 基裕¹、松川 貴²、松木 武雄^{1,2}、渡邊 孝信¹

Waseda Univ.¹, AIST², [○]M. Tomita¹, T. Matsukawa², T. Matsuki^{1,2}, and T. Watanabe¹

E-mail: tomita_motohiro@watanabe.nano.waseda.ac.jp

【はじめに】環境中の熱エネルギーを利用するエネルギー・ハーベスティング技術として、CMOS技術と親和性が高い Si ナノワイヤ(NW)を用いた熱電発電素子の開発が進められている。我々はこれまで、SOI ウェハ上に SiNW を空中架橋せず直接置いた熱電発電デバイスを考案し、SiNW が短くなるほど高い発電密度が得られることを示した。また、Si 基板の薄層化により発電性能がさらに向上することを実証した[1]。これは、基板部分を薄くし熱抵抗を低減させたことで、SiNW 両端にかかる温度差を大きくできたためと考えられる。また、我々は SiNW と Si 基板を絶縁する SiO₂ 層にも最適な膜厚があり、SiNW に大きな温度差を維持するためには数百 nm の SiO₂ 層が必要であることを報告した[2]。最適な SiO₂ 層膜厚は Si 基板の膜厚によって変動することまでは判明していたが、背後にある法則までは明らかになっていない。本研究では FEM シミュレーションで、発電密度を最大にする最適な SiO₂ 層膜厚がどのようにして決まるか調査した。

【計算モデル】Fig. 1にシミュレーションに用いたモデルを示す。Si基板の上にSiO₂絶縁層があり、その上にSiNWがある。SiNWの厚さは50nm、幅は65nm、長さは250nm、ドーパント濃度は $1.0 \times 10^{19} \text{ cm}^{-3}$ 、ゼーベック係数は $\pm 200 \text{ } \mu\text{V/K}$ とした。SiNWの両端は厚さ400 nmの電極に接続されている。一方の電極の上に200 nmのAlN熱伝導層があり、その上に上面の温度を300Kに固定したAlNヒーターがある。また、Si基板の下に下面を295Kに固定した金属ステージがある。ヒーターとステージの温度差(T_{source})は5Kである。SiNW上方の空間は完全真空である。本研究ではSi基板の厚さ(t_{sub})とSiO₂絶縁層の厚さ(t_{SiO_2})を変化させた。

【結果】FEMシミュレーションの結果、SiNWとSiO₂絶縁層の内部に比較的大きな温度差が生じることが判明した。温度勾配の大きな部分に熱抵抗素子を配置して得られた等価熱回路モデルをFig. 1の構造図に赤線で重ねて示した。Si基板内部では水平方向にほとんど温度差がなく、Si基板部分は垂直方向成分の熱抵抗素子一つにまとめている。以下、この等価回路モデルを前提にして議論する。

熱電発電デバイスの発電密度は t_{SiO_2} と t_{sub} に依存して変化する(Fig.2)。発電密度と t_{SiO_2} の関係には極大値があり、最適な t_{SiO_2} は基板厚さによって変化する。今回のシミュレーションで、 t_{sub} が厚くなるほど、最適な t_{SiO_2} も厚くなる傾向があることがわかった。

発電密度はSiNW両端の温度差 ΔT_{NW} の2乗に比例し、温度差は $\Delta T_{\text{NW}} = J_{\text{NW}} \theta_{\text{NW}}$ で与えられる。ここで J_{NW} はSiNWを通過する熱流であり、 θ_{NW} はSiNW部の熱抵抗である。この J_{NW} は、ヒーターから流入する全熱流 J_{All} と、全熱流のうちSiNW部を流れる熱流の比 $J_{\text{NW}}/J_{\text{All}}$ の積としてあらわすことができる($J_{\text{NW}} = J_{\text{All}}[J_{\text{NW}}/J_{\text{All}}]$)。このように分解すると、以下に述べるように t_{SiO_2} および t_{sub} 依存性をシンプルに説明できる。

Fig.3に示すように、 J_{All} は t_{SiO_2} に対して単調減少し、 t_{SiO_2} が薄い領域で一定値に飽和する。 J_{All} の飽和値は t_{sub} が薄くなるにつれて増大する。すなわち、 J_{All} を大きくするには t_{SiO_2} と t_{sub} が薄いほど良い。一方、SiNWに流れる熱流比 $J_{\text{NW}}/J_{\text{All}}$ は t_{SiO_2} に対して単調増加となる(Fig.4)。 $J_{\text{NW}}/J_{\text{All}}$ は t_{sub} に依存せず t_{SiO_2} で決まる。したがって、発電密度および ΔT_{NW} の最大点は、 t_{SiO_2} に対して単調減少する J_{All} と単調増加する $J_{\text{NW}}/J_{\text{All}}$ がバランスする点であるといえる。以上の解析から、SiNWの下にSiO₂層がSiNWに流れる熱流比 $J_{\text{NW}}/J_{\text{All}}$ を大きくし、SiNWにかかる温度差を大きくする役割があることが明確となった。

なお、本研究は、JST-CREST (JPMJCR15Q7)により補助を受けて実施された。

[1] M. Tomita et. al., Symp. VLSI Technol. Dig. Tech. Papers (2018) 93. [2] M. Tomita et. al., SSDM 2018, F-8-04.

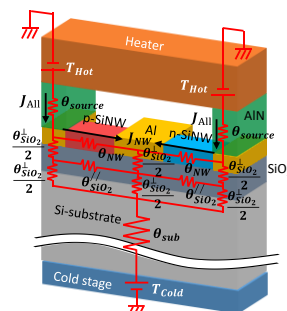


Fig.1 Schematic of simulated TE generator and equivalent circuit.

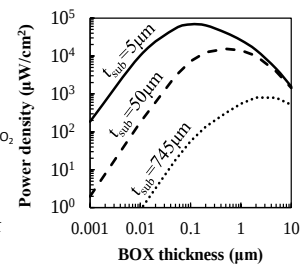


Fig.2 Power density dependence of SiO₂ and substrate thickness.

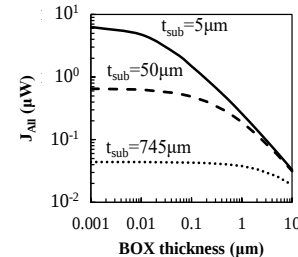


Fig.3 Main heat flow through ladder circuit and Si substrate depending on SiO₂ thickness.

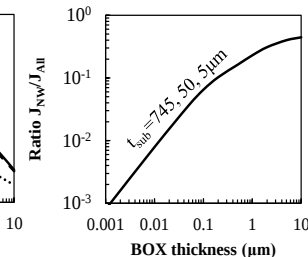


Fig.4 Heat flow ratio between main flow and flow in NW depending on SiO₂ thickness.