

強誘電体トランジスタにおいて観察される急峻スロープの起源

Origin of Steep-Subthreshold Swing Behaviors in Ferroelectric FETs

産総研¹, 東大院工² ○右田 真司¹, 太田 裕之¹, 鳥海明²

AIST¹, Univ. of Tokyo², °S. Migita,¹ H. Ota,¹ and A. Toriumi²

E-mail: s-migita@aist.go.jp

【はじめに】強誘電体トランジスタ(FE-FET)の電気測定において急峻スロープ特性がしばしば観測されている。そしてその原因を負性容量(Negative Capacitance)効果[1]という新しい動作原理によるものと解釈し、NC-FET動作を実証したと主張する報告が多数発表されている。ところがNC効果それ自体の物理定義やその原理実証方法に不明瞭な部分が残されているため、実験で得られた急峻スロープ特性の全てを新しい動作原理の実証だと結論付けることは困難なのではないかと我々は考えている。

本研究では強誘電体キャパシタと MIS キャパシタとの面積比を調整した MFMIS 型ゲートスタック構造を有する FE-FET を作成して電気特性を調べ、適切な面積比を採用した時に急峻スロープ特性が顕著に現れることを観測した[2, 3]。この現象は、分極反転が生じる際に強誘電体キャパシタに電荷が発生し、これに釣り合う電荷が MIS キャパシタ側にも生成し、その結果として通常のゲート電圧変調よりも大きな電荷量の変化が半導体チャネルにもたらされているためであると我々は解釈する。

【実験】p 型のバルク Si(100)基板を用いて、3.8 nm 厚さの SiO₂ 熱酸化膜と TaN 電極から成る MIS トランジスタを作成した。続いて MIS トランジスタのゲート電極のコンタクトホール内部に 10 nm 厚さの Hf-Zr-O 強誘電体のキャパシタを作成し、面積比(S_i/S_f)を有する MFMIS 構造を作った。最後に FGA アニール(450°C, 30 min)を行って完成した。電気特性は Keysight B1500A を用いてパルス測定で評価した。

【結果と考察】面積比(S_i/S_f)を 7 で設計した MFMIS 型 FE-FET の電気特性を Fig. 1(a)に示す。反時計回りのヒステリシスが現れており、FE-FET として機能していることを確認した。ドレイン電流の変化率から求めた SS 特性を Fig. 1(b)に示す。ちなみにこの FE-FET に用いた MIS-FET の SS 値は 70 mV/dec. である。通常は MIS-FET の上にさらにキャパシタを積層すると SS 値は増加してしまう。ところが図を見ると、多くのデータ点において Boltzmann 限界の 60 を下回る SS が出現している。

面積比が異なる FE-FET の電気特性も比較した結果、強誘電体の分極反転の際の電荷量変化が Steep-SS の出現を誘発しているという解釈に至った。すなわち強誘電体の分極反

転の際に発生する電荷が駆動力となって MIS キャパシタにも大きな電荷量変化を引き起こし、Steep-SS が生じている。Steep-SS を得るためには、ゲートに逆バイアスを印加して強誘電体の分極状態を最初に整え、そこからゲート電圧を変化させる必要がある。これは Li らが考察している NC 効果のメカニズムとも整合する[4]。このメカニズムで動作する限りにおいては、Steep-SS を観察することはできても、低電圧動作する CMOS を実現することは困難である。

【謝辞】本研究は JST CREST Grant Number JPMJCR14F2 の支援を受けて行った。

【参考文献】

- [1] S. Salahuddin and S. Datta, *Nano Lett.* **8**, pp. 405-410 (2008).
- [2] S. Migita *et al.*, Ext. Abstract 2018 Silicon Nanoelectronics Workshop (June, 2018, Honolulu), pp. 11-12.
- [3] S. Migita *et al.*, Tech. Dig. 2018 IEDM (Dec., 2018, San Francisco), pp. 719-722.
- [4] X. Li and A. Toriumi, Tech. Dig. 2018 IEDM (Dec., 2018, San Francisco), pp. 715-718.

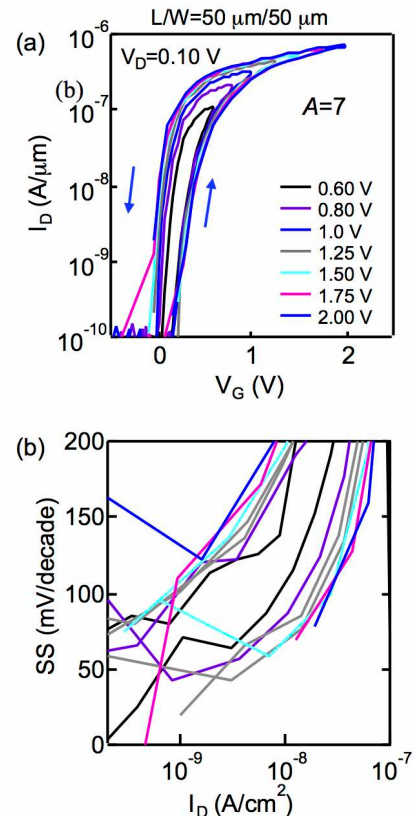


Fig. 1 (a) I_D - V_G characteristics of MFMIS-type FE-FET (area ratio=7). (b) The relationship between I_D and SS.