

TiO_{2-x} エピタキシャル薄膜を用いた 4 端子メモrista素子の抵抗変化特性

Resistive switching properties of four-terminal planer memristive devices
made from epitaxial TiO_{2-x} thin films

阪大院基礎工 〇(M1)三宅 亮太郎, 藤平 哲也, 酒井 朗

Osaka Univ. 〇Ryotaro Miyake, Tetsuya Tohei, Akira Sakai

E-mail: sakai@ee.es.osaka-u.ac.jp

概要: 抵抗変化 (RS) 現象を示す TiO₂ は、新規不揮発性メモリ材料として期待されている。高機能素子の実現のために、抵抗比、抵抗変化の再現性の向上が課題となっている。我々はこれまでに、熱還元処理によりドーパント (酸素空孔) を生成したルチル型 TiO₂ 単結晶基板を用いて 4 端子平面型メモrista素子を作製し、電圧印加に伴う酸素空孔分布の変化にもとづく可逆的な抵抗変化が得られること、また電気着色現象により酸素空孔分布を視覚的に捉えられることを報告した[1]。しかし、熱還元処理では均一な酸素空孔分布を持つ素子の作製と電氣的活性領域の制御が困難である。このことは抵抗比および抵抗変化の再現性に影響していると考えられるが詳細は明らかではない。今回、我々はパルスレーザー蒸着法 (PLD) を用いてルチル型 TiO₂ 単結晶基板上に還元 TiO_{2-x} 薄膜のエピタキシャル成長を行い、4 端子平面型素子を作製し、種々の電圧印加条件での電気特性評価を行った。

実験方法: Nd:YAG レーザー (波長 266 nm) および TiO₂ ターゲットを用いた PLD により、絶縁性ルチル型 TiO₂(001)単結晶基板上に種々の膜厚、基板温度、酸素分圧で TiO_{2-x} 薄膜を成長し、RHEED によりエピタキシャル成長を確認した。その後、表面に Pt 電極を配置し、4 端子平面型素子を作製した (図 1 挿絵)。電極 1-3、2-4 間に電圧 1 V で流れる電流 I_{1-3} 、 I_{2-4} を計測し、続いて電極 1 と 3 を接地しながら電極 2 と 4 に同時に電圧 $V_{2,4}$ を X 秒間印加した。電圧 $V_{2,4}$ を 0 V 基準に 1 V 刻みで最大値 M V から最小値 m V まで変化させ (図 1)、このサイクルを繰り返した。また、電圧印加の各段階で、光学顕微鏡を用いて素子の酸素空孔分布を観察した。

実験結果: 基板温度 500°C、酸素分圧 3.0×10^{-5} Pa、膜厚 40 nm の TiO_{2-x} 薄膜に対して、 $X=100$ 、 $M=8$ 、 $m=-8$ として図 1 の測定シーケンスを 6 周繰り返した。図 2(a)、(c)はそれぞれ $V_{2,4}$ に対する I_{1-3} 、 I_{2-4} の変化を示している (電流値はそれぞれ初期電流 I_{1-3}^{ini} 、 I_{2-4}^{ini} で規格化した)。1 周目では、 $V_{2,4}$ を 8 V まで段階的に上げることで I_{1-3} が増加、 I_{2-4} が減少し、これは電極 1、3 周辺に酸素空孔が集積し低抵抗領域が形成されたためである。その後、電流値はほぼ一定値となり、 $V_{2,4}=-7$ V で、電極 1、3 周辺の酸素空孔集積領域が電極 2、4 周辺へ遷移し、 I_{1-3} の急峻な減少と I_{2-4} の増加が観測された。その後、 I_{1-3} と I_{2-4} はともに一定値を示し、2 周目以降では、 $V_{2,4}$ に依存して I_{1-3} と I_{2-4} は可逆的な変化を繰り返す結果が得られた。熱還元 TiO₂ 結晶を用いた素子の結果 (図 2(b)、(d)) と比較して、薄膜を用いた本素子では抵抗変化特性が安定であり、かつ大きな抵抗比が得られている。また、良好な繰返し特性が得られることも確認された。

謝辞: 本研究は、JSPS 科研費 JP17H03236、JP17K18881 の助成を得て行われた。

[1] S. Takeuchi *et al.*, Scientific Reports, to be published.

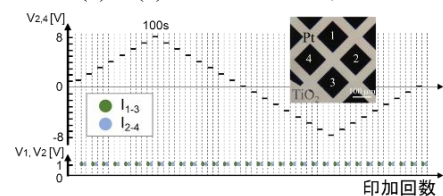


Fig.1. Time series of the applied voltage $V_{2,4}$. I_{1-3} and I_{2-4} were measured at 1 V between respective steps of $V_{2,4}$ application. The inset is a schematic of four terminal device structure.

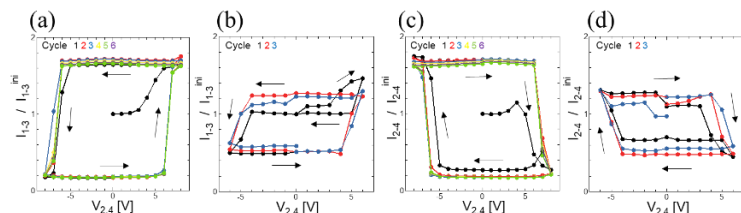


Fig. 2. Variation of (a)(c) I_{1-3} and (b)(d) I_{2-4} normalized by initial current value. (a)(b) and (c)(d) are the results of PLD sample and thermally annealed sample, respectively.