3 次元 SiC－MOSFET における不純物層設計技術

Design Concept of Impurity Layers' Configurations in 3-Dimensional SiC MOSFETs

日立 R&D グループ [1]，　○久本　大 [1]，手賀直樹 [1]，谷　和樹 [1]，須藤建瑠 [1]，毛利友紀 [1]，
Hitachi, Ltd., R&D Group[1]，°D. Hisamoto[1], N. Tega[1], K. Tani[1], T. Suto[1], Y. Mori[1],
E-mail: dai.hisamoto.pd@hitachi.com

SiC を用いたパワーMOSFET は、研究から製品量産化へと、開発のフェーズが大きく前進している。近年、実製品レベルでの信頼性と性能向上の両立を追求するなかから、これまでにない様々なデバイス構造が提案されてきている[1]-[5]。

シリコンをベースとしたパワーデバイスでは、寄生抵抗を下げながら、その内部の電界を、絶縁破壊耐圧以下に抑制するため、Super Junction (SJ)に代表される、様々な拡散層構造が考案されてきた。「シリコンの絶縁破壊耐圧を確保すること」が、デバイスの設計指針になっているものと考えられる。しかし、ワイドギャップ半導体では、シリコンに比べ 10 倍もの高い絶縁破壊耐圧を持っている。これに誘電率の違いを考慮すると、接する絶縁膜－例えば SiO_2－に、半導体絶縁破壊の臨界状態においては、10MV/cm に達する電界が印加されることを意味している。そのため、ワイドギャップ半導体を用いたデバイス、特にゲート絶縁膜を有する MOSFET では、シリコンの場合と異なり、「如何に酸化膜を守るか」を主眼とした設計指針が求められる。

SiC は、これまでの研究の蓄積により、他のワイドギャップ半導体材料に比べ、イオン打ち込み技術が格段に進歩しているところに大きな利点がある。このプロセス優位性を活用して、3 次元 SiC MOSFET 構造中に有効な不純物拡散層を形成することで、ワイドギャップ半導体デバイスの信頼性や特性を、さらに向上できることを明らかにする。

References [1] K. Chokawa, et al., Mat.Sci.Forum, Vols.740-742,p.469,2013. [2] D. Hisamoto, et al., IEEE EDL-36, p.490,2015. [3] N. Tega, et al., IEEE TED-63 p.3439, 2016. [4] N. Tega, et al., ISPSD, 13-1,2018. [5] T. Suto, et al., ECSCRM, 2018.

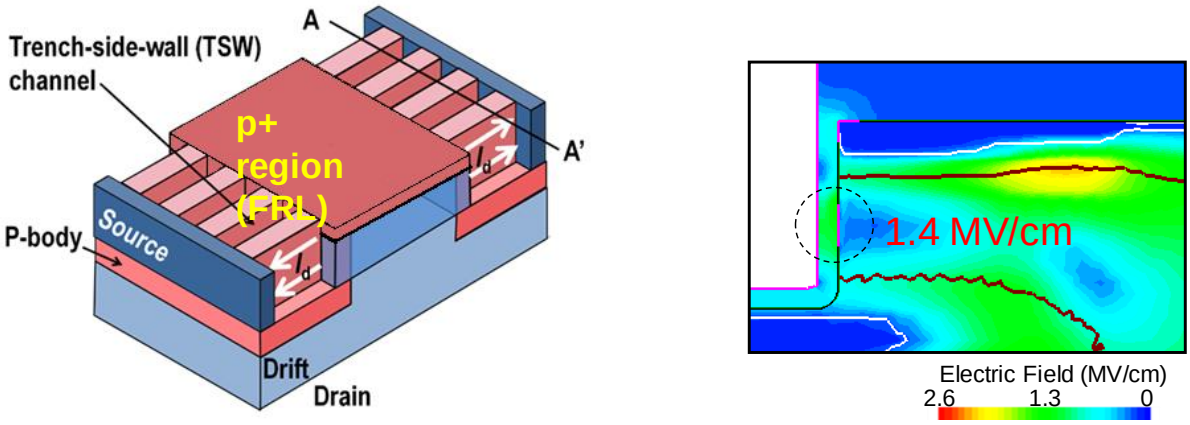

Fig. 1　Impurity doped layer's configurations in TED-MOS(Trench-Etched double-diffused MOS) (left) and the potential distribution at SiC-SiO2 interface (right).