

デバイスから見た 2D/3D ナノ計測の必要性

Necessity of 2D/3D nano measurements from the viewpoint of semiconductor devices

東芝メモリ 臼田宏治

Toshiba Memory Corporation, Koji Usuda

E-mail: koji.usuda@toshiba.co.jp

現代の工業を支える半導体、とりわけ Si 系半導体デバイスは、過去 30 年を超える長きに亘ってその発展を維持してきた。その代表的素子である Si-MOSFET の場合、発展を維持する指導原理は、所謂スケーリング則 (Scaling law) である。即ち、Si 系半導体デバイスは、素子サイズ縮小による動作周波数向上=高性能化と、集積度向上による製造効率改善=コスト抑制との両立で、継続的な発展を維持してきたとも言える。しかしながら、21 世紀初頭よりキャリア移動度の飽和、リソグラフィプロセスのコスト増加、或いは消費電力増大などの課題が顕在化し始めた結果、微細化限界が議論されるに至った。所謂「Si-LSI ロードマップの破綻」である。

そこで今世紀の半導体開発では、微細化技術に加えて微細化に頼らない高性能化技術にも関心が向けられる事となる¹⁾。例えば、素子性能 (移動度) 向上を実現するひずみ技術導入や、高誘電率絶縁膜 (High-k 膜) による SiO₂ ゲート絶縁膜の置き換えが成され、他方、Si プラットフォーム上に形成可能で Si を超える性能が期待できる IV 族或いは III-V 族材料や、nm オーダと薄い 2 次元層状物質 (TMDC) 材料などによるチャネル代替の検討が注目される。勿論、微細化技術は継続進展中であり、近年は 5-7nm プロセス世代のデバイス製造技術開発が佳境と言われている。

他方、もう一つの技術開発の潮流が従来の平面型 (planar 型) 素子の枠を超えたデバイスの 3 次元化である。具体例として、まず従来の 2D チャネル構造から立体チャネル型トランジスタへの構造変更が検討された。立体化によるメリット=駆動電流低電圧化や待機電流抑制で実現する低消費電力化技術は、時代のニーズにマッチし、PC・モバイルデバイス向け汎用プロセッサに採用された。一方、積層技術の進展も目覚ましい。例えば、積層化技術を駆使した所謂 3 次元メモリデバイス²⁾の開発が急ピッチである。加えて、論理素子やメモリ素子などの様々な素子を積層した多機能モノリシック素子の研究開発が非常に注目されている。近い将来、IoT 時代を支える 3D 多機能半導体素子が、多様な分野にて展開されると期待される。

このような状況の変化に鑑み、半導体開発を支える物理評価・解析技術の役割は増々重要になると予測される。従来の 2D デバイスの観点では sub-nm の解析精度が様々な必要となると推測される。加えて、今後発展が期待される 3D デバイスに関しては、任意の埋もれた素子の深さ(奥行き)方向評価・分析への対応に迫られる事が容易に予想される。そこで、本講演では、21 世紀に入って劇的な変化を伴いながらも尚開発が進む Si 系半導体デバイスの開発動向について、最新の結果も含めて紹介し、さらにその開発を支える解析技術への期待の一端について議論する。

1) <http://www.npt167.jp/roadmap/009.html>

2) S.Inaba, "3D Flash Memory for Data-intensive Applications", IEEE, IMW 2018