

境界条件変調による 領域分割デバイス・シミュレーション

Domain Divided Device Simulation with Flexible Boundary Conditions

TRDEC¹, 慶大電子工² ○松澤 一也¹, 阿部 真利¹, 小田 嘉則¹, 田中 貴久^{1,2}, 内田 建^{1,2}

TRDEC¹, Elec. Eng. Keio Univ.² ○K. Matsuzawa¹, M. Abe¹, Y. Oda¹, T. Tanaka^{1,2}, K. Uchida^{1,2}

E-mail: kmatsu@appi.keio.ac.jp

半導体デバイスの高機能化、大容量化に伴い、大規模なデバイス・シミュレーションが必要とされている。大規模な解析には、多くのメッシュを必要とする。メッシュが多くなるほど、計算時間は指数関数的に増大する。そのため、PC クラスタや GPU など、並列計算するといった対策が必要となる。しかし、大規模な計算機環境を常に用意できるとは限らない。

本報告では、構造を分割して、単一の計算機で計算する手法を示す。すなわち、分割した境界面における格子点における境界条件を動的に変更しながら、隣接領域と物理量を交換する。

図 1 にポアソン方程式の分割方法を示す。仮想的な容量を仮定し隣接格子の電位 ϕ_1 および ϕ_2 から新しい電位 ϕ_0 を計算する。 ϕ_0 と ϕ_1 および ϕ_2 との電位差と仮想容量から電荷 Q_1 および Q_2 を求め、両領域のポアソン方程式の電荷に加算する。仮想容量が大きければ、 ϕ_0 の固定境界条件となり、仮想容量が小さければ、反射境界条件となる。全体の収束状況に応じて、反射境界条件から、固定境界条件になるように、仮想容量を動的に変更することで、高速な解析が可能となる。

図 2 に電流連続式の分割方法を示す。分割面の格子点における生成消滅項に対して、同様の処理を行う。すなわち、仮想的な消滅時間 Δt が小さければ固定境界条件となり、大きければ反射境界条件となる。

図 3 に、本手法を適用した事例の構造図を示す。分割した構造についての逐次計算により、単一の計算機であっても、大規模な構造を実用的な計算時間で解析することが可能となった。

Poisson equation

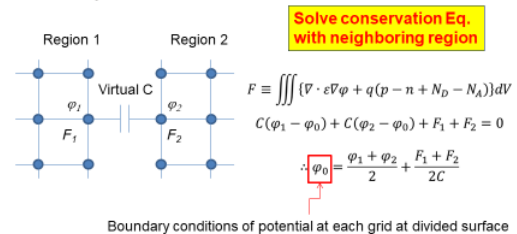


Fig.1 Division of Poisson equation

Current continuity equation

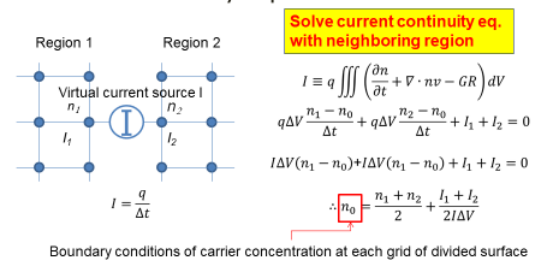


Fig. 2 Division of current continuity equation

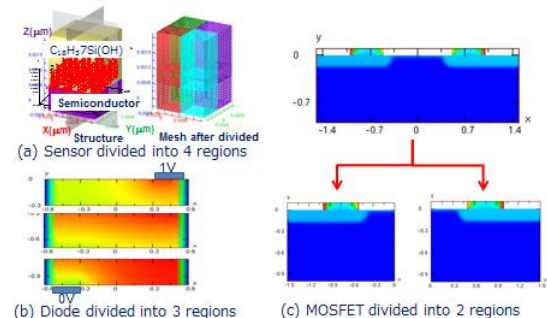


Fig. 3 Examples of divided device structure