## 低温 H<sub>2</sub>O-POA と H<sub>2</sub>-POA の組合わせによる 4H-SiC p チャネル MOSFET の特性向上

Improvement of 4H-SiC p-channel MOSFET Interface Characteristics by Combination of Low

Temperature H<sub>2</sub>O-POA and H<sub>2</sub>-POA

## 東京大学大学院工学系研究科マテリアル工学専攻 <sup>0</sup>小柳 潤、喜多 浩之

Dept. of Materials Engineering, The Univ. of Tokyo, <sup>°</sup>Jun Koyanagi and Koji Kita

E-mail: koyanagi@scio.t.u-tokyo.ac.jp

**[序論]** SiC CMOS は高温動作が可能な CMOS として期待できるが、その実用化において、価電子 帯付近のホールトラップを原因とする SiC p チャネル MOSFET の動作の難しさが課題となってい る。ウェット酸化が価電子帯近傍に対して界面欠陥除去の効果を持つことが知られていたが[1]、 我々は既にドライ酸化後に H<sub>2</sub>O-POA を施すことで 1 nm 以下の酸化膜を形成することにより, p型 の MOS キャパシタの界面特性の向上を報告している[2]。一方、伝導帯近傍の界面準位に対しては、 H<sub>2</sub>-POA もまた D<sub>it</sub> 低減に効果的であると報告されており[3,4]、特に H<sub>2</sub>O-POA 後の n チャネル MOSFET の移動度に対する H<sub>2</sub>-POA の重要性も指摘されている[5]。本研究では, p型 SiC MOS キ ャパシタと SiC p チャネル MOSFET を用いて、低温 H<sub>2</sub>O-POA と H<sub>2</sub>-POA の組み合わせが界面特性 に与える効果を、価電子帯付近の界面準位に着目して系統的に調査を示す。

**[実験]** 4H-SiC(0001)基板 (p型,ドープ濃度  $1.3 \times 10^{16}$  cm<sup>-3</sup>のエピタキシャル層を持つ)上に MOS キャパシタを作製した。 $1300^{\circ}$ のドライ酸化を行った後, 0.9 atm-H<sub>2</sub>O+0.1 atm-O<sub>2</sub>の雰囲気中, 800<sup>o</sup> にて 8 時間の低温 H<sub>2</sub>O-POA を施した。その後, 1%H<sub>2</sub> 雰囲気中, 800<sup>o</sup>C~1150<sup>o</sup>Cという温度で 30 分 間のアニールを行い、ゲート電極として Au を蒸着した。作製したサンプルに対して C-V 測定を 行い、界面準位密度 (D<sub>ii</sub>)を High-Low 法(1 MHz-1 kHz)で求めた。また、4H-SiC(0001)基板 (n型, ドープ濃度  $1.0 \times 10^{16}$  cm<sup>-3</sup>のエピタキシャル層を持つ)上に、同様のプロセスを施して SiC p チャ ネル MOSFET を作製し、移動度を測定した。

**[結果と考察]** Fig. 1 に作製した MOS キャパシタの D<sub>it</sub>を示した。1150℃で H<sub>2</sub>-POA を行うことで, H<sub>2</sub>O-POA によって低減された D<sub>it</sub>をさらに下げることができた。この値はウェット酸化のみで作 製された報告値である 2×10<sup>12</sup> cm<sup>-2</sup>eV<sup>-1</sup>という値を下回っている[1]。Fig. 2 に E=Ev+0.2 eV におけ る H<sub>2</sub>-POA 温度と D<sub>it</sub>の相関を示した。アニール時間が 30 分間の場合, H<sub>2</sub>-POA が高温であるほど D<sub>it</sub>を低減する効果が強くなった。また,1150℃の H<sub>2</sub>-POA は長時間であるほど強い D<sub>it</sub>低減効果を 持つという傾向が見られた。Fig. 3 に 1150℃の H<sub>2</sub>-POA を加えた場合,加えていない場合の MOSFET の移動度を示す。H<sub>2</sub>-POA を加えた場合は 14 cm<sup>2</sup>/Vs という移動度を示し, H<sub>2</sub>-POA を行わ なかった場合よりも移動度が向上する傾向が見られた。ウェット酸化で作製された MOSFET の移 動度は 15.6 cm<sup>2</sup>/Vs という値が報告されている[1]。この値には及ばないが,ドライ酸化後に H<sub>2</sub>O-POA と H<sub>2</sub>-POA を行うプロセスは移動度の観点からも界面特性向上に効果的であることが明 らかになった。なお本研究の一部は、総合科学技術・イノベーション会議の SIP 戦略的イノベーション創造プ ログラム「次世代パワーエレクトロニクス (管理法人:NEDO)」及び JSPS 科研費補助金の助成により実施された。 **[文献]** [1] M. Okamoto et.al., Appl. Phys. Lett. 89, 023502 (2006). [2] J. Koyanagi et al., SSDM2018

D-2-05. [3] K. Fukuda et al., Appl. Phys. Lett. 76, 1585 (2000). [4] H. Hirai and K. Kita, J. Appl. Phys. 56 111302 (2017). [5] H. Hirai and K. Kita Appl. Phys. Lett. 113, 172103 (2018).



© 2019年 応用物理学会