Al_2O_3/SiO_2/n 型 4H-SiC MOS キャパシタの高温領域における リーク電流の伝導機構の検討

Study on Leakage Current Conduction Mechanism at high temperature in Al_2O_3/SiO_2/n-type 4H-SiC MOS Capacitors

東京大学大学院工学系研究科マテリアル工学専攻 [1]（株）日立製作所研究開発グループ [2]
○田村 敦史 [1]、増永 昌弘 [2]、佐藤 慎太郎 [2]、喜多 浩之 [1]
Dept. of Materials Engineering, The Univ. of Tokyo[1], Hitachi, Ltd. R&D Group[2]
Atsushi Tamura[1], Masahiro Masunaga[2], Shintaroh Sato[2] and Koji Kita[1]
E-mail: tamura@scio.t.u-tokyo.ac.jp

[背景]高温環境下で動作する機器の制御を、冷却なしで実現する高温動作 CMOS は冷却機構や配線の簡略化に効果的であり、そのためには 4H-SiC を基板とした CMOS 回路が期待される。また、CMOS 回路を、リーク電流を抑制しながら動作させるには、ゲート絶縁膜の高誘電率化が有望であるが、高温領域における高誘電率絶縁膜の有効性については検証が必要となる。本研究では高誘電率絶縁膜材料の候補として Al_2O_3 を対象とし、まずは n 型基板上の MOS キャパシタの高温領域におけるリーク電流の伝導機構を検討した。

[実験] 試料として Fig.1 の挿入図に示すような 4H-SiC の n 型エピタキシャル膜(N_D~7×10^{14}cm^{-3})の Si 面基板上に作成された MOS キャパシタを用いた。ゲート絶縁膜として CVD によって SiO_2 を 8nm 堆積し NO アニールを 1300℃にて行った。その上に Al_2O_3 10nm を ALD によって堆積し、PDA を（ⅰ）800℃、(ⅱ)700℃の二種類の条件で行った。ゲート電極は p+ poly-Si である。

[結果] V_{FB} シフトを考慮した電圧を capacitance equivalent thickness (CET)によって規格化し、絶縁膜が SiO_2 8nm のみのキャパシタ(ⅲ)と比較して Al_2O_3 の 250℃におけるリーク電流抑制効果を検討した。室温付近では抑制効果がみられたが、高温・高電界領域ではその効果が弱まっていた(Fig.1)。そこで高温領域で新たに現れる電流があると考え、リーク電流の伝導機構を考察した。全領域で FN 電流が観測されたものの、その温度依存性は小さく、リーク電流の温度依存性を十分に説明できない。そこで、低温の-50℃でのリーク電流は FN 電流(J_0)が支配的であると仮定し、それを全体(J_{all})から引いた電流密度の電圧・温度依存性を考察した。まず、J_{all}-J_0 は Poole-Frenkel(PF)成分であると仮定して電圧依存性を考えると、Fig.2 で示されているように実験値とモデルがよく合致したため、J_{all}-J_0 は PF 電流であることが示唆された[1]。そこで、試料(ⅰ)、(ⅱ)について一定電界下での J_{all}-J_0 の温度依存性を、試料(ⅲ)の場合と合わせてプロットしたところ、低温領域では試料(ⅲ)についてのプロットに近い傾きが見られるが、高温領域ではより大きな傾きが出現した(Fig.3)。低温領域で SiO_2 絶縁膜がリーク電流に対して支配的であると仮定し、プロットの傾きより欠陥から伝導体への脱出深さ Φ_T を求めるとそれぞれ、(ⅰ)1.8eV、(ⅱ)1.7eV、(ⅲ) 1.7eV であり、SiC 上の SiO_2 中で存在が疑われる炭素―炭素結合のつくる欠陥準位の深さの計算値(1.6 eV)に近く[2]妥当と思われる。また、高温領域において、Al_2O_3 由来と考えられる電流密度成分が現れるが、Φ_T は(ⅰ)1.5eV、(ⅱ)1.2eV であった。また、電圧を 10V 前後で何通りか変えて調べたところ、この成分はアニール温度によらず、およそ 150℃~200℃前後で顕在化することがわかった。

[参考文献][1] M. Sometani et al., J. Appl. Phys. 117, 024505 (2005). [2] F. Devynck et al., Phys. Rev. B. 84, 235320 (2011).

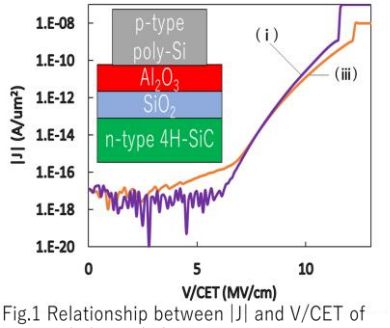

Fig.1 Relationship between |J| and V/CET of sample（ⅰ）and（ⅲ）at 250°C
Inset) Structure of Al_2O_3/SiO_2/SiC MOS capacitor

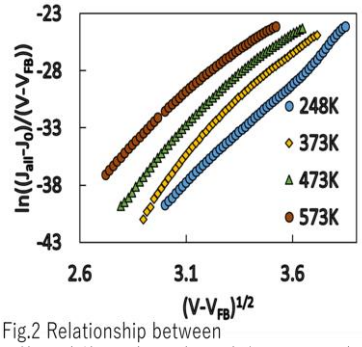

Fig.2 Relationship between $\ln((J_{all}-J_0)/(V-V_{FB})$ and $(V-V_{FB})^{1/2}$ of sample（ⅰ）

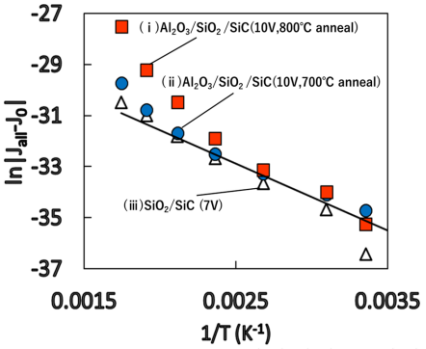

Fig.3 PF plot of sample（ⅰ）,（ⅱ）and（ⅲ）