

非対称な書き込み・読み出しレイテンシを持つ ReRAM を用いた半導体ストレージシステム

Semiconductor Storage System with Asymmetric Write/Read Latency ReRAMs

○安達 優¹, 松井 千尋², 竹内 健^{1,2} (中央大学理工¹, 中央大学研究開発機構²)

○Yutaka Adachi¹, Chihiro Matsui², Ken Takeuchi^{1,2} (Chuo Univ.¹, Chuo Univ. Research and Development Initiative²)

E-mail: adachi@takeuchi-lab.org

1. はじめに

半導体ストレージシステムの更なる性能向上のため、NAND 型フラッシュメモリより高速である抵抗変化型メモリ (ReRAM) の活用が期待されている[1]。本論文では、ReRAM の信頼性を確保するための書き込みベリファイと誤り訂正符号(ECC)のレイテンシをコントロールし書き込み・読み出し時間を非対称にして、半導体ストレージシステムに用いることを提案し性能向上が可能であるか評価した[2]。

2. レイテンシを非対称にした ReRAM

ReRAM の信頼性保証のため、書き込みベリファイは書き込みと読み出しを正しく行われたか一定の回数になるまで繰り返し、エラーを低減する。一方で、ECC は書き込むデータに冗長ビットを付加することによって、読み出し時に誤りを訂正することができる[3]。ある一定の信頼性を確保するためには、書き込みベリファイ回数が少ない時、ECC の訂正可能ビット数を増やす必要があり、逆もまた然りである。

図 1 に上記のトレードオフを利用した W-ReRAM と R-ReRAM のコンセプトを提案する。W-ReRAM は書き込み時のベリファイ回数を少なくする代わりに誤り訂正符号(ECC)の訂正可能ビット数を多くすることで、書き込み時間が短く、読み出し時間が長いメモリとして働く。逆に R-ReRAM は訂正能力の弱い ECC を用いて書き込みベリファイを多く行うことで、読み出し時間が短く、書き込み時間が長くなっている。W-ReRAM に上書きが行われやすいデータを保存し、R-ReRAM に何度も読み出されるデータを保存しておくことでストレージ全体の性能向上が見込まれる。

3. 非対称なレイテンシを持つ ReRAM を用いたストレージの性能

2 種の ReRAM を NAND 型フラッシュメモリの不揮発性キャッシュとしたストレージの性能評価を行うために、図 2 に示したストレージ構成をモデル化しシミュレーションを行った。データ管理アルゴリズムは、書き込みアクセスがあった場合データを W-ReRAM へ、読み出しアクセスがあった場合、データを R-ReRAM へ移動またはコピーする。

図 3 は提案のストレージの IOPS (Input/output per second) を 2 種の ReRAM の容量比を変えて評価した結果である。シミュレーションには書き込みの多いワークロードである prxy_0 と読み出しの多いワークロードである prxy_1 を用いた [4]。図 3(a) の書き込みの多いワークロードでは、W-ReRAM の容量が 9 % (R-ReRAM 1 %) の場合、提案のストレージの性能は従来のストレージより 86 % の IOPS 向上をする。これは、W-ReRAM の容量が大きく、一度書き込みされたデータの上書きが W-ReRAM 上で行

われることが多かったことが理由である。一方、読み出しが多い図 3(b) のワークロードでは、W-ReRAM が 6 % (R-ReRAM 4 %) の場合、提案したストレージは 42 % の IOPS 向上をすることが出来る。W-ReRAM が少ない(1%)と読み出される前のデータの書き込みによる性能低下が目立ち、W-ReRAM が多い(7~9 %)と R-ReRAM による読み出し性能向上が出来ず、2~6 % の場合に比べて IOPS が低くなる。

4. 結論

ReRAM の遅延を非対称化した書き込みが速い W-ReRAM と読み出しの速い R-ReRAM を NAND 型フラッシュメモリのキャッシュとして用いたストレージを提案した。ワークロード解析の結果、書き込みが多い prxy_0 の場合、従来のストレージより 86 % の性能向上が確認でき、読み出しの多い prxy_1 では最大 42 % 向上する。

謝辞

この成果は、国立研究開発法人新エネルギー・産業技術総合開発機構 (NEDO) の委託業務の結果得られたものです。

参考文献

[1] H. Fujii, et al., *Symp. VLSI Circ*, 2012, pp. 134-135. [2] Y. Adachi, et al., *VLSI-DAT*, 2018. [3] H. Takishita et al., *NVMW*, 2017, p. 9. [4] <http://iota.snia.org/traces/388>.

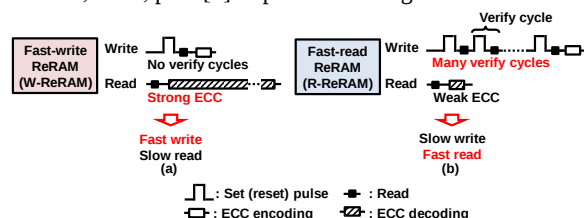


図 1 W-ReRAM と R-ReRAM のコンセプト

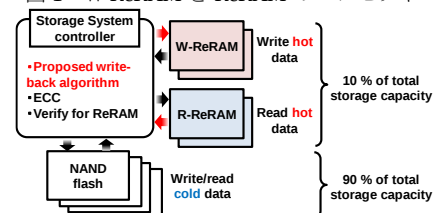


図 2 非対称 ReRAM を不揮発性キャッシュとして用いたストレージの構成

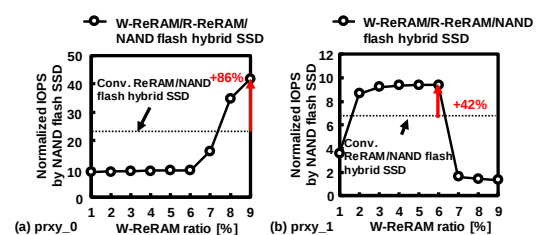


図 3 提案のストレージの IOPS 評価

(a)書き込みが多い場合, (b)読み出しが多い場合