## アモルファス WSin 膜の実効仕事関数

Amorphous WSi,, films as a low effective-work-function material 産総研 <sup>0</sup>岡田 直也、内田 紀行、小川 真一、金山 敏彦

AIST, °N. Okada, N. Uchida, S. Ogawa, T. Kanayama E-mail: okada-naoya@aist.go.jp

【背景】 最先端の Si-CMOS トランジスタで は、ゲート材料の実効仕事関数 (eWF) により 閾値電圧を制御している。例えば、高性能 CMOS 向けに低い閾値電圧を得るために、ゲー ト電極とゲート絶縁膜の間に、金属拡散防止膜 を含めて様々な種類と膜厚の積層膜を複雑に 構成して eWF を制御している<sup>[1]</sup>。しかし、 Si-CMOS の微細化に伴い、導電性を担うゲート 電極の占有率が低下し、ゲート部の寄生抵抗が 性能に影響を与えるようになってきている[2]。 解決策は、積層数の削減や薄膜化である。我々 は、eWF 制御層と拡散バリア層の両方の機能を 担う新しいゲート挿入層として、クラスター (WSin) を凝集させた WSin アモルファス薄膜 に着目している。これまでに、*n*=12の WSi<sub>n</sub>膜 のCuに対する優れた拡散防止特性、およびn-Si に対するショットキー障壁高さ低減効果を報 告した[3,4]。

本研究では、WSin腹が熱酸化膜(SiO<sub>2</sub>)上で、 Siの伝導帯端に相当する、ショットキー障壁高 さから予想されるよりも低い eWF を示すこと を、報告する。

【実験】ホットウォール型反応炉内(外壁温 度:350-440°C)にSiH<sub>4</sub>とWF<sub>6</sub>を導入し(圧力: ~2000 Pa)、気相中でSiH<sub>4</sub>とWF<sub>6</sub>を反応させて 水素化WSi<sub>n</sub>クラスターを合成し、下流側にあ るSiO<sub>2</sub>(膜厚:35 nm)/n-Si(~2  $\Omega$ ·cm)基板上に堆 積し、基板上で含有する水素を熱脱離させクラ スター同士を凝集させてWSi<sub>n</sub>膜(膜厚:5-20 nm)を形成した<sup>[5]</sup>。この手法では、ガス圧力と ガス温度によりWSi<sub>n</sub>膜の組成を $n \leq 12$ の範囲 で制御できる。その上にW(膜厚:50 nm)を スパッタしてMOSキャパシタを作製し、容量-電圧(*C-V*)特性のフラットバンド電圧V<sub>fb</sub>より eWFを算出した。その後、熱処理(窒素雰囲気、 600°C、30分)を行い、eWFの変化を調べた。

【結果】WSin を挿入しないキャパシタでは、 eWF が~4.7 eV を示した(図1)。この値は、最 表面のW 電極の仕事関数にほぼ対応する。  $n=\sim6-12$ のWSin を挿入したキャパシタでは、 eWF は、Siの伝導帯端とほぼ同じ値の~4.0 eV を示した(図1)。これは、この位置にWSin 膜 のフェルミレベルがあることを示している(図 2(a))。また、WSis 膜の膜厚を 5-20 nm で変化 させても、 $V_{\rm fb}$ は一定で、蓄積領域における *C* の値はWSin を挿入しないキャパシタと同じ値 を示した。この結果は、WSin 層が、寄生容量成 分が無く電極層として機能していることを示 している。また、WSinは熱処理後でもほぼ同じ eWFを維持し、優れた熱的安定性を示した。

一方、これまでに、W/WSi12/n-Si ショットキ ーダイオードで、電子障壁高さが~0.45 eV を示 すことがわかっている<sup>[3]</sup>。これは、Si の伝導帯 端から~0.45 eV 低い位置にフェルミレベルが あることを意味し(図 2(b))、MOS キャパシタ の結果と対応しない。この理由は、WSin 膜と Si 基板が直接接合することで界面に状態を形 成し、フェルミレベルが Si の電荷中性準位(伝 導帯端から~0.76 eV 下)寄りへシフトしている ためと考える。現に、熱処理により界面状態を 低減させることで、電子障壁高さが~0.32 eV ま で低減し(図 2(c))、キャパシタにおける WSin 膜のフェルミレベルに近づく。

【まとめ】WSin 膜は熱酸化膜上で~4.0 eVの Siの伝導帯端に相当する小さな eWF を示した。 一般にWFが小さい材料は反応性が高く不安定 であるのに対し、この材料は安定性が高い。従 って、WSin 膜は、nFET 用のゲートスタックへ の適用が期待される。



図 1. W/WSi<sub>n</sub>/SiO<sub>2</sub>/n-Si キャパシタのフラット バンド電圧より算出した実効仕事関数と WSi<sub>n</sub> 挿入層の n 値との関係。 $E_c$ 及び  $E_v$ は Si の伝導 帯端と価電子帯端を示す。



図 2. (a) W/WSi<sub>n</sub>/SiO<sub>2</sub>/n-Si キャパシタ、(b)熱処 理前、及び(c)熱処理後の W/WSi<sub>n</sub>/n-Si ショット キーダイオードのバンド図。 $E_{\rm f}$ はフェルミレベ ルを示す。

【参考文献】[1] IEDM, SC-1 (2017). [2] N. Yoshida, et. al., IEDM, 22.2, (2017). [3] N. Okada, et. al., IEDM, 22.5, (2017). [4] N. Okada, et. al., IITC, 10.20, (2018). [5] N. Okada, et. al., J. Chem. Phys., 144, 084703 (2016).