急峻な SS を持つ “PN-Body-Tied SOI-FET” の TCAD を用いた過渡解析

Transient Analysis by using TCAD on Super-Steep SS “PN-Body-Tied SOI-FET”

金沢工大　°森 貴之，井田 次郎，遠藤 大貴

Kanazawa Inst. of Tech., °Takayuki Mori, Jiro Ida, Hiroki Endo

E-mail: t_mori@neptune.kanazawa-it.ac.jp

はじめに: 近年，極低消費電力 LSI を実現するために，60 mV/dec を切る急峻な Subthreshold Slope (SS)を持つデバイスの研究が盛んに行われている．様々な原理のデバイスが検討されている中，我々は新構造デバイスである “PN-Body-Tied (PNBT) SOI-FET” を提案し，1mV/dec を切る非常に急峻な SS を報告している[1]．また，PNBT SOI-FET は SOI のフローティングボディ効果を利用しているため，スイッチング時に遅延が発生することを実測で確認している[2].

本稿では遅延発生の詳細メカニズムを究明するため，Technology CAD (TCAD)を用いて PNBT SOI-FET の過渡解析を行ったので報告する．

シミュレーション結果: 図 1 に PNBT SOI-FET の構造図を示す．各デバイスパラメータはゲート酸化膜厚 T_{ox} = 5 nm, SOI 膜厚 T_{Si} = 50 nm, 埋め込み酸化膜厚 T_{Box} = 200 nm, ゲート長 L_g = 0.2 μm, ゲート幅 W_g = 1 μm, ベース幅 W_b = 1.2 μm とした．PNBT SOI-FET は奥行き方向に PNP バイポーラトランジスタを設けることで，ボディ端子からキャリアを注入し，フローティングボディ効果を引き起こす[1]．図 2 にドレイン電圧 V_d = 0.1 V, ボディ電圧 V_b = 1.0 V 時のドレイン電流 I_d–ゲート電圧 V_g 特性を示す．V_g = 0.19 V で非常に急峻な SS が発生している．また，ヒステリシス特性が存在するが，非常に小さいことが分かる．次に，図 3 で示すような “OFF” から “ON” へ V_g を変化させる過渡解析シミュレーションを行った．図 4 に I_d 及びボディ電流 I_b の過渡特性を示す．電流は 2 段，もしくは 3 段階の変化を経てオン状態 (I_d 及び I_b が一定値)に移行すること分かる．これは，フローティングボディ効果を発生させるためにキャリアを蓄積させなければならず，それに時間がかかるためと考えられる．立ち上がりの遅延は実測においても確認しているが，シミュレーションによって，より詳しい電流の変化を捉えることができた．発表当日はキャリア濃度及び生成再結合レートからの解析及び “ON” から “OFF” にした場合の解析に関して報告する．

参考文献: [1] T. Mori, and J. Ida, IEEE J-EDS vol. 6, p. 1218, 2018. [2] 遠藤，井田，他, 2018 年秋季応物, 21a-CE-6.

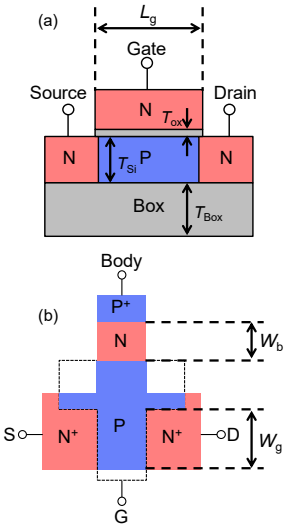

図 1　PNBT SOI-FET の構造図. (a)前面図, (b)上面図.

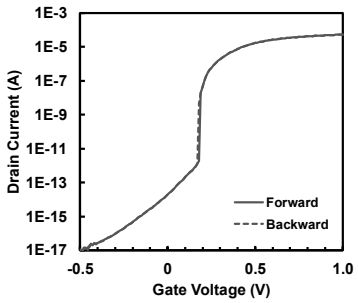

図 2　I_d–V_g 特性.

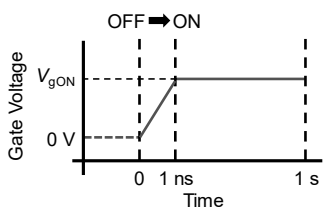

図 3　過渡解析シミュレーション時に入力した V_g.

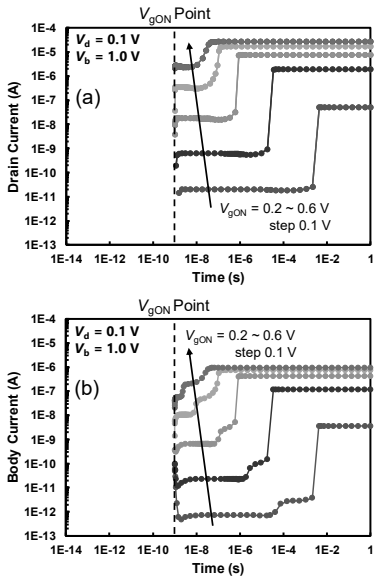

図 4　(a) I_d 及び(b) I_b の過渡特性.

© 2019年 応用物理学会