

スパッタエピタキシー法を用いた SiGe HEMT の製造技術と特性制御

Fabrication technologies and characteristic control of SiGe HEMT formed by sputter epitaxy

東京農工大院工¹, 情報通信研究機構², 電気通信大³, °青柳耀介¹, 本橋叡¹, 出蔵恭平¹,大久保克己¹, 広瀬信光², 笠松章史², 松井敏明², 須田良幸¹, 塚本貴広³,Tokyo Univ. of Agric. & Technol.¹, National Inst. of Information and Communications Technol.², Univ. Electro-Comm.³°Y. Aoyagi¹, A. Motohashi¹, K. Degura¹, K. Okubo¹, N. Hirose², A. Kasamatsu², T. Matsui², Y. Suda¹, T. Tsukamoto³

E-mail: seabose@nict.go.jp, sudayos@cc.tuat.ac.jp

【はじめに】我々はこれまでに、歪 Si チャネルを用いたショットキーゲート型 SiGe HEMT(High Electron Mobility Transistor)の作製を目標とし、環境軽負荷型のスパッタエピタキシー法^[1]を用いた歪緩和 4 層 SiGe バッファを提案し^{[2][3]}, 化学気相成長法などと比較して良好な結晶特性を実現している^[4]. 今回は、更なる性能向上に向けて各層の膜厚を変化させ作製した SiGeHEMT の静特性測定結果およびその評価について報告する.

【実験方法】図 1 に、本 SiGeHEMT の基本構造を示す. 本 SiGeHEMT は、スパッタエピタキシー法を用いた歪緩和 5 層バッファ構造^[5]を基本構造としている. 歪緩和 5 層バッファ構造は、歪緩和 4 層 SiGe バッファを最適成膜温度である 600°C で成膜した後、4 層バッファに完全整合する Ge 組成比の 5 層目 SiGe を成膜し、その間に基板温度を 410°C まで下げてさらに上部の層を成膜することで、バッファ層の良好な緩和特性と、電子供給層からのドーパントの拡散の抑制を両立することが可能である. しかし、ソース、ドレイン電極の寄生抵抗の低減のため挿入した n-Si キャップ層から不純物が拡散し、チャネル層の電子移動度が低下する問題が報告されている. そこでドーパントの拡散の抑制を目的としてキャップ層および上部スペーサ層の膜厚を変化させた試料をスパッタエピタキシー法を用いて作製し、構造と特性との関係性を評価した.

【結果と考察】図 2 に、本研究で作成した上部スペーサ層の膜厚 5 nm, キャップ層 30 nm, ゲート長 250 nm の SiGeHEMT の $I_{ds} - V_{ds}$ 特性の測定結果を示す. これより、ゲート電圧の印加によるドレイン電流の制御性が得られるデプレッション型の FET の静特性を示した. $V_{gs} = 0.4V$ のとき相互コンダクタンスは最大となり、 $g_m = 125 \text{ mS/mm}$. であった.

この研究の一部は、情報通信研究機構先端 ICT デバイスラボで実施された.

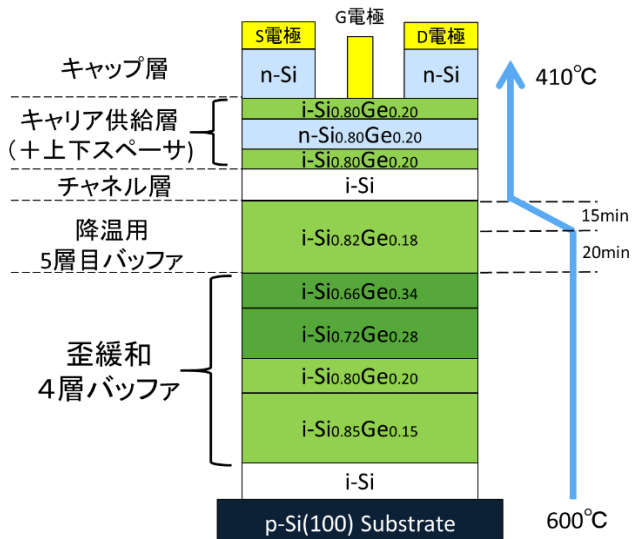
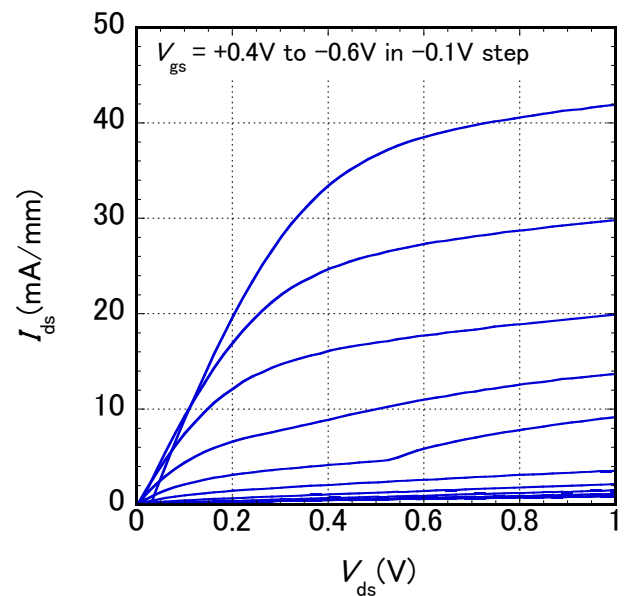


図 1 素子構造模式図

図 2 SiGeHEMT の $I_{ds} - V_{ds}$ 特性

- [1] H. Hanafusa *et al.*, *Jpn. J. Appl. Phys.*, **47** (2008) 3020. [2] H. Maekawa *et al.*, *J. Cryst. Growth*, **301/302** (2007) 1017. [3] 出蔵ら, 15p-P11-10, 第 77 回応用物理学会学術講演会 (新潟, 2016) [4] H. Hanafusa *et al.*, *Appl. Phys. Express*, **4** (2011) 025701. [5] 大久保ら, 15p-P7-5, 第 66 回応用物理学会春季学術講演会 (横浜, 2017)