

InAs/InP コアシェルナノワイヤ/Si 接合界面による 縦型トンネル FET の作製

Demonstration of InAs/InP core-shell nanowire/Si heterojunction TFET

北海道大学情報科学研究科および量子集積センター

○蒲生 浩憲、本久 順一、富岡 克広

Graduate School of IST and RCIQE, Hokkaido Univ.

○Hironori Gamo, Junichi Motohisa, Katsuhiro Tomioka

E-mail: gamou@rciqe.hokudai.ac.jp

[はじめに] Si 集積回路は、微細化とともに電力密度増大が問題となっており、電力密度低減化のためサブスレッショルド係数(SS)の低減化が課題になっている。従来の MOSFET のキャリア輸送は拡散機構であるため、SS に最小物理限界(60 mV/dec)があるためである。そこで、熱拡散機構以外でスイッチングできるトンネル輸送を利用したトンネル FET(TFET)が注目されている[1]。TFET は、この物理限界がないため、60 mV/dec を下回る急峻なスイッチングが実現できる。一方、課題としてオン電流が低いことがあげられ、コアシェル構造による変調ドープ層の形成が効果的だと考えられる。本報告では、Si/InAs ナノワイヤヘテロ接合界面を用いた InAs/InP コアシェルナノワイヤ/Si ヘテロ接合型 TFET の作製を試みたので報告する。

[実験方法] 基板は熱酸化膜厚(20 nm)を形成した p 型 Si(111)を用いた。有機金属気相選択成長(SA-MOVPE)法により、InAs ナノワイヤを成長した[2]。InAs ナノワイヤは、長軸方向に Zn パルスドープ層を 5 分成長した後、Si-InAs を 3 分成長させ、Sn パルスドープ層を 5 分成長させた。また、ナノワイヤチャネル形成後、膜厚 7 nm の InP シェル層をナノワイヤの側壁に形成した。次に、原子層堆積法により HfAlO 膜を 10 nm 堆積し、スパッタリング法によりゲート電極(W)を成膜した。次に、ベンゾシクロブテン(BCB)によりナノワイヤを包埋し、反応性イオンエッチングでナノワイヤ上部のゲート

電極、HfAlO 膜をエッチングすることで、サラండిングゲート構造を作製した。最後に、BCB でゲート・ドレイン間分離層を形成し、ナノワイヤ上部、基板裏面にそれぞれドレイン、ソース電極を蒸着し、図 1 の縦型トンネル FET 構造を作製した[2]。ドレイン・ソース電極は、それぞれ Ti/Pd/Au、Ni/Au とし、窒素雰囲気中 350°C でアニールした。

[結果] 図 2(a)、(b)に InAs/InP コアシェルナノワイヤ/Si 接合型 TFET の伝達特性と出力特性を示す。図 2(a)から、室温で $V_{DS}=0.5$ V において、 $SS=46$ mV/桁の急峻な傾きでスイッチングできることがわかる。最小 SS 値は、 $V_{DS}=0.10$ V で 41 mV/桁で、この急峻なスイッチングは、 $V_{DS}=0.75$ V まで維持できる。一方、ON/OFF 比は ~ 2 桁であった。これは、ソース領域の不純物密度が低い点と、チャネルに真性層を用いている点に起因する。SS の急峻化にはチャネル抵抗を大きくする必要があり、低バイアスで、Si/InAs ヘテロ接合界面近傍の電界強度を増大するために導入している。したがって、オン電流増大のためには、ソース領域の低抵抗化とトンネル確率増大のため、変調ドープ層のシェル構造のさらなる設計が必要と考えている。

[参考文献]

- [1] H. Lu *et al.*, IEEE EDS **2** (2014) 44
- [2] K. Tomioka *et al.*, Appl. Phys. Lett. **104** (2014) 073507
- [3] K. Tomioka *et al.*, Nano Lett. **13** (2013) 582

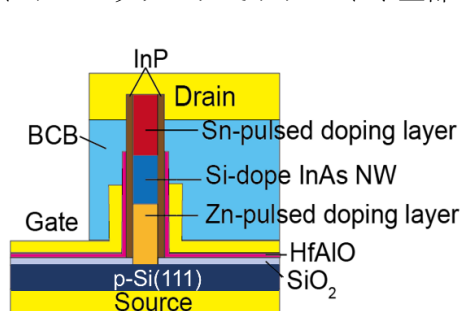


図 1. InAs/InP コアシェルナノワイヤ/Si ヘテロ接合型 TFET の模式図。

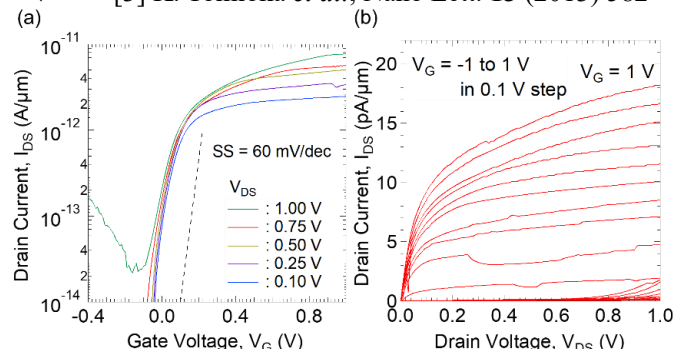


図 2. (a) InAs/InP コアシェルナノワイヤ/Si ヘテロ接合型 TFET の伝達特性。 (b) 出力特性。