

CVD 法を用いた GeO_2/Ge 構造の作製と評価Fabrication and Evaluation of GeO_2/Ge structure by CVD method農工大学院工、[○]勝野泰幸、佐藤亜武、岩崎好孝、上野智雄

Tokyo Univ. of agri. & Tech. Yasuyuki Katsuno, Amu Sato, Yoshitaka Iwazaki, Tomo Ueno

E-mail: s181466w@st.go.tuat.ac.jp

1. 研究背景

近年、MOSFET は微細化による高性能化が行われてきたが、短チャネル効果やリーク電流などの問題により、これ以上の微細化が困難になっている。そこで、微細化に代わる性能向上の方法として新規材料の導入が挙げられる。例えば、高移動度材料の Ge 基板や酸化膜に高誘電率(High-k)材料を用いることなどがある。しかし、High-k 材料と Ge との直接接合は、良好な界面特性を得ることが困難であるため、High-k 材料と Ge の間に先に GeO_2 膜を成膜する手法が検討されている。今回は比較的低温で高速成膜ができるために GeO 脱離を抑えることが出来、かつ FinFET 等の立体チャネルにも対応可能な CVD 法にて Ge 基板上に GeO_2 膜の成膜を行い、特性の評価を行った。

2. 実験方法

p-Ge(100)基板及び p-Si(100)基板に有機洗浄、フッ酸処理を行い、TEOG (化学式: $\text{Ge}(\text{OC}_2\text{H}_5)_4$) と O_2 を供給する CVD 法で GeO_2 膜を成膜した。

成膜条件は以下のとおりである。

- ・チャンパー圧:8[Torr]
- ・ソース温度:-20[°C]
- ・成膜温度:400[°C]
- ・成膜時間:60[min]

上記条件にてそれぞれ 15nm 厚の GeO_2 膜を堆積させた基板のうち、Ge 基板を用いたサンプルには大気圧下での O_2 アニール処理を 350°C で 30 分間行い、その後すべてのサンプルに Al 電極を蒸着して C-V 測定を行った。

3. 実験結果

Si 基板及び Ge 基板を用いたサンプルの As grown と Ge 基板の O_2 アニール処理を行ったサンプルの C-V 特性をそれぞれ図 1～6 に示す。

図 1、図 2 より Si 基板を用いたサンプルではヒステリシスが生じていないが、Ge 基板を用いたサンプルではヒステリシスが生じていることがわかる。また図 3 及び図 4 より Ge 基板を用いたサンプルで周波数分散が大きく現れていることがわかる。これらの原因としては成膜段階初期においてチャンパー内に導入した酸素により Ge 基板が 400°C で酸化され熱酸化膜が出来てしまい、この膜中及び界面には低圧下の酸化によりサブオキシドによる欠陥が多く含まれているためであると考えられる。ここで、酸素雰囲気下でアニールをすることで膜中の欠陥に酸素を補填することが出来ると考え、次に O_2 アニール処理を行った。図 2、図 5 より、 O_2 アニール処理を行うことでヒステリシスの幅が減少していることがわかる。これにより、 O_2 アニール処理を施すことで GeO_2/Ge 界面近傍に存在した欠陥に酸素の補填が出来、ヒステリシスの幅を低減出来たと考えられる。また、図 4、図 6 より O_2 アニール処理を行うことで周波数分

散が抑制できているが、これは加熱の効果により成膜時に出来た構造を再度組み直し、界面の未結合手を減らすことが出来たためであると考えられる。

これらの結果から、 O_2 アニール処理による GeO_2/Ge 構造に対する界面特性向上の効果について確認できた。今後は PMA 等の他の処理手法によるさらなる界面特性向上の効果について検討を行う予定である。

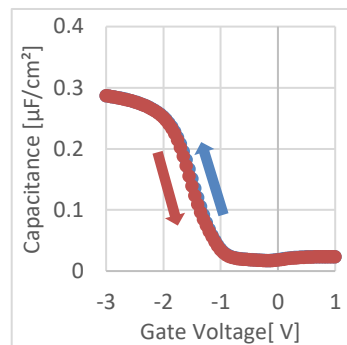


図 1. C-V 特性 Si 基板
As grown (1000 kHz)

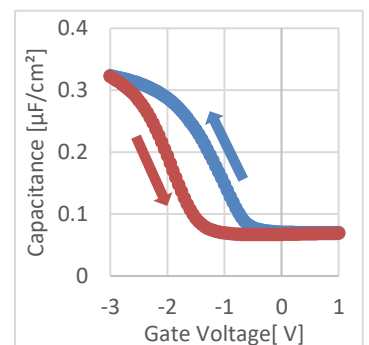


図 2. C-V 特性 Ge 基板
As grown (1000 kHz)

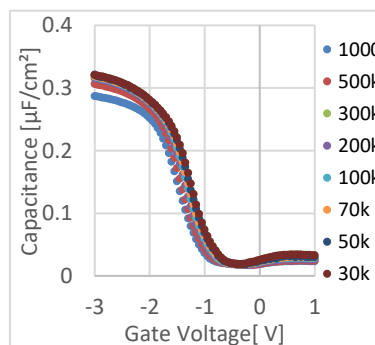


図 3. C-V 特性 Si 基板
As grown 周波数分散

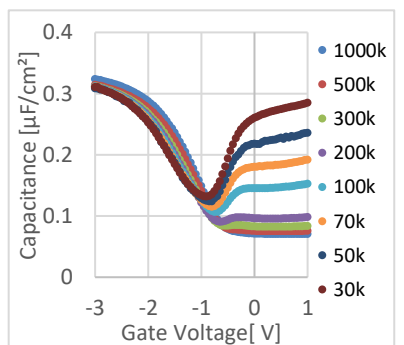


図 4. C-V 特性 Ge 基板
As grown 周波数分散

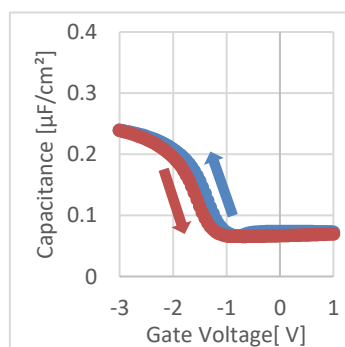


図 5. C-V 特性 Ge 基板
 O_2 アニール 350°C (1000 kHz)

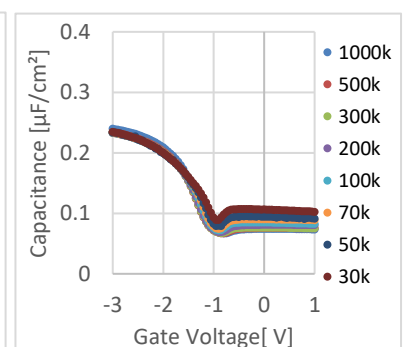


図 6. C-V 特性 Ge 基板
 O_2 アニール 350°C 周波数分散