

強誘電体/半導体ヘテロ接合における負性容量の発現機構とその時間発展シミュレーション

Time-resolved Simulation of the Negative Capacitance Stage Emerging at the Ferroelectric/Semiconductor Hetero-Junction

○高田 賢志, 吉村 武, 藤村 紀文 (阪府大院工)

○K. Takada, T. Yoshimura, N. Fujimura

(Graduate School of Eng., Osaka Pref. Univ.) E-mail: fujim@pe.osakafu-u.ac.jp

【Introduction】

近年、超低消費電力 FET として注目を集めている負性容量(NC)FET は強誘電体をゲート絶縁膜として用い、強誘電体の NC を用いることで、S 値の低減を試みている。しかしながら、その NC 発現原理は十分に理解されていない。これまで NC の発現起源として大きくわけて、steady-state NC[1]と抵抗を強誘電体キャパシタに接合させた回路における transient NC[2]の二つが報告されている。それらに対して、強誘電体/半導体ヘテロ接合における以下のような点に特徴を有する NC 発現起源を提案している[3]。① 強誘電体の残留分極に起因した半導体からの減分極電界の効果。② 半導体のキャパシタンスの変化によるゲート電圧の強誘電体薄膜と半導体への分配率の変化。本講演においては、提案する NC 発現原理を詳細に述べるとともに、従来報告されている NC 発現メカニズムとの違いを明確化する。

【Simulation and Result】

分極反転モデルは時間発展を考慮に入れた Landau-Khalatnikov(LK)方程式を用いた。LK 方程式におけるランダウ係数を調整し、抗電界 $E_C = 1 \text{ MV/cm}$ 、残留分極 $P_r = 20$ の分極-電界($P-E_F$)特性を得た。この強誘電特性を有する強誘電体を金属/強誘電体/半導体(MFS)構造に挿入し、電気特性のシミュレーションを行った結果を Fig. 1 に示す。Fig.1 の上部には、MFS キャパシタの $P-E_F$ 特性を示しており、下部には分極量が 0 付近における分極量が増加していく過程における、強誘電体に加わる電圧 V_F 、ゲート電圧 V_G 、半導体の表面ポテンシャル ψ_S 、並びに、微分容量($\partial P/\partial V_F$)を示している。分極量が負である、分極反転前においては、① 強誘電体の残留分極に起因した半導体からの減分極電界が強誘電体に印加されるため、印加電圧 V_G よりも大きな電圧が強誘電体に印加されている。分極量が 0 に近づくと、減分極電界が減少するため、それに伴い V_F が減少し、微分容量が負となる。分極量が正となると、②半導体表面に空乏層が形成し、半導体のキャパシタンスが急激に減少し、ゲート電圧 V_G の強誘電体と半導体への電圧の分配率が増加するため、 V_F が増加し、 ψ_S が増加する。そのため微分容量が正となる。これらの結果は従来報告されている steady-state NC と transient NC とは異なる原理で NC が発現していることを示している。

【References】

- [1] M. Kobayashi and T. Hiramoto AIP Advances 6, 025113 (2016)
- [2] S.-C. Chang et al., Phys. Rev. Appl. 9, 014010 (2018).
- [3] 高田他, 第 65 回応用物理学会春季学術講演会, 19a-C104-7

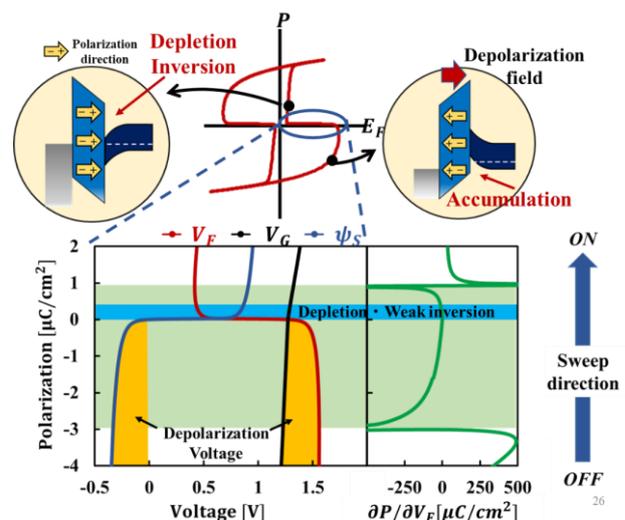


Fig. 1 Calculated hysteresis loops and band diagrams (upper side). Polarization versus voltage across the ferroelectric layer, gate voltage, surface potential of semiconductor and differential capacitance.