

# 単層 MoS<sub>2</sub>/h-BN/Graphite への絶縁膜堆積による界面準位の増加

## Increase of $D_{it}$ from depositing insulator to 1L MoS<sub>2</sub>/h-BN/Graphite

東大<sup>1</sup>, NIMS<sup>2</sup>, ○豊田哲史<sup>1</sup>, 方楠<sup>1</sup>, 谷口尚<sup>2</sup>, 渡邊健司<sup>2</sup>, 長汐晃輔<sup>1</sup>

OS. Toyoda<sup>1</sup>, N. Fang<sup>1</sup>, T. Taniguchi<sup>2</sup>, K. Watanabe<sup>2</sup>, & K. Nagashio<sup>1</sup>

E-mail: toyoda@ncd.t.u-tokyo.ac.jp

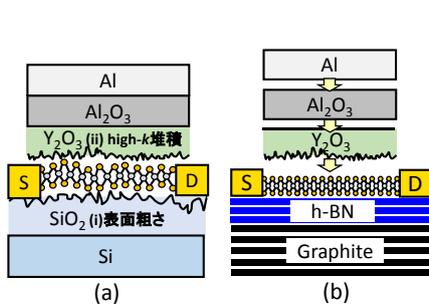
**1. 緒言** MoS<sub>2</sub> FET は 3.9 nm の実効ゲート長動作が実証されており短チャネル効果に強い次世代デバイスとして期待が高い。これまでに high- $k$ /MoS<sub>2</sub> の界面準位密度 ( $D_{it} = 10^{12} \sim 10^{13} \text{ cm}^{-2}$ ) がバンドテイル型のエネルギー分布を示すことから、その起源が伝導帯を形成する Mo の  $d$  軌道の結合角のゆらぎ、すなわち MoS<sub>2</sub> の外的要因に起因した物理的な歪みであると提案した<sup>[1]</sup>。実際に、原子レベルで平坦な h-BN 上の MoS<sub>2</sub> FET においては、 $D_{it}$  が  $10^{11} \text{ cm}^{-2}$  台へ大幅に低減することから、界面劣化は外的要因に起因することを示してきた<sup>[2]</sup>。本研究では、**図 1(a)** に示す主要な外的要因と考えられる (i) SiO<sub>2</sub> 基板表面粗さと (ii) high- $k$  堆積時の歪印加の影響を調べるため、単層 MoS<sub>2</sub>/h-BN/Graphite 構造のデバイスにゲート絶縁膜の Y<sub>2</sub>O<sub>3</sub>, Al<sub>2</sub>O<sub>3</sub>, ゲート電極の Al を堆積させ (**図 1(b)**), その前後での電気特性の変化を系統的に解析した。

**2. 実験方法** PMMA/PDMS を用いた積層手法により単層 MoS<sub>2</sub>/h-BN/Graphite のバックゲート (BG) デバイスを SiO<sub>2</sub>/Si 基板上に作製した後、Ni 電極による 2 端子オーミック接合を形成した。ゲート絶縁膜堆積に関しては、バッファ層として Y<sub>2</sub>O<sub>3</sub> を蒸着後、ALD により Al<sub>2</sub>O<sub>3</sub> を 30 nm 程度蒸着した。最後に、Al-TG 電極を堆積した。それぞれの段階で温度依存性含め電子輸送特性を評価した。グラファイトを BG 電極とした構造により、通常の high- $k$  TG 絶縁膜と同等の容量を確保し、既報の TG デバイスと Subthreshold swing (S.S.) の比較を可能とした。

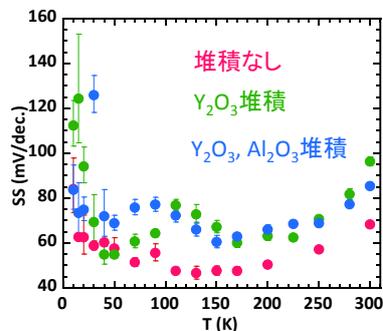
**3. 結果及び考察** 作製したデバイスの S.S. の温度依存性を **図 2** に示す。Y<sub>2</sub>O<sub>3</sub> 及び Al<sub>2</sub>O<sub>3</sub> の堆積により徐々に S.S. が上昇したことから、絶縁膜堆積により  $D_{it}$  が増加したと考えられる。ただし、Al<sub>2</sub>O<sub>3</sub> 堆積による S.S. の変化は小さく最初の堆積が界面の劣化に寄与しているといえる。S.S. は室温から 180 K 程度まで S.S. が直線に近い形で低下し 50 K 程度までは一定値を取り、さらに温度が下がると逆に上昇した。 $I_{SD}$  の温度依存性から、50 K を境にバンド伝導から最近接ホッピング伝導に遷移したことが示唆される。この遷移挙動は、堆積無の条件においてもすでに観測されているが、絶縁膜堆積によりさらに増幅された。エラーバーは S.S. の不確かさを示すが、低温領域でこれが増大しているのは、ホッピング伝導領域での界面準位分布による  $I_{SD}$  の揺らぎが主な原因と考えられる。

次に、室温での各デバイスの S.S. から導出した  $D_{it}$  を **図 3** に示す。ゲート h-BN の厚さは、AFM により 8.1 nm、比誘電率は 4 と仮定した。**図 3** より、h-BN 上 MoS<sub>2</sub> に TG を堆積させたときの  $D_{it}$  の増加量 (A) と比較して、SiO<sub>2</sub> 上 MoS<sub>2</sub> に TG を堆積させたときの  $D_{it}$  の増加量 (B) の方が大きいことから、絶縁膜堆積は初期基板粗さによる歪みを増幅している可能性が示唆される。以上より、high- $k$  堆積において原子レベルで平坦な基板の利用により  $D_{it}$  の増加量を抑えることが可能といえる。

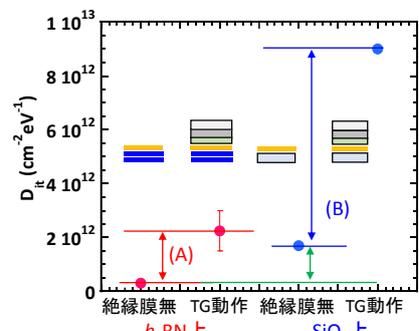
【参考文献】 [1] N. Fang, *et al.*, J. Phys. D, 2018, 51, 065110. [2] 豊田哲史, 他, 第 65 回応用物理学会春季学術講演会, 19a-P6-77. 【謝辞】本研究は科研費及び JSPS 「研究拠点形成事業 (A. 先端拠点形成型)」により助成を受け行われた。



**図 1**(a) SiO<sub>2</sub> 上単層 MoS<sub>2</sub> TG デバイス. (b) h-BN 上単層 MoS<sub>2</sub> TG デバイス. それぞれで電気特性を計測した。



**図 2** h-BN 上単層 MoS<sub>2</sub> FET デバイスの S.S. (@  $10^{-10} \sim 10^{-11}$  A) の温度依存性。



**図 3** h-BN 上及び SiO<sub>2</sub> 上 MoS<sub>2</sub>-FET の界面準位の比較。