p⁺-WSe₂/MoS₂ TFET における MoS₂厚さによるバンドアライメント制御 Band alignment control by MoS₂ thickness in p⁺-WSe₂/MoS₂ TFET

東大¹, NIMS², 埼玉大³, O中村圭吾¹, 永村直佳², 上野啓司³, 谷口尚², 渡邊健司², 長汐晃輔¹

OK. Nakamura¹, N. Nagamura², K. Ueno³, T. Taniguchi², K. Watanabe², & K. Nagashio¹

E-mail: nakamura@ncd.t.u-tokyo.ac.jp

低消費電力動作が可能な 2 次元トンネル FET(2D-TFET)が期待されており, 我々は p+-【緒言】 WSe₂/MoS₂ ヘテロ構造(MoS₂: ~4 層, Al₂O₃: ~60 nm)においてトンネル電流を確認している^[1].しか しながら,ゲートバイアス印加のみで type II から type III へのバンドアライメント変調が望まれるが, 実験的には TFET 動作に最適な type III 化にはドレインバイアスの強印加が必要であった.そこで本研 究では,MoS2 チャネル層数及びトップゲート Al2O3 絶縁膜厚さを変えることで,p⁺-WSe2/MoS2 TFET のバンドアライメントを理解することを試みた.

オゾン酸化と h-BN(~50 nm)上への転写により大気安定性に優れた p⁺-WSe₂ (~60 nm) 【実験方法】 を形成した^[1]. 位置合わせ装置を用いて p⁺-WSe₂/MoS₂(3 層)ヘテロ構造を形成後,電子線リソグラフィ ーにより Ni/Au 電極を形成した. その後, Y2O3 バッファー層, ALD-Al2O3 絶縁膜 (~30 nm), トップゲ ート Al 電極を形成し, p⁺-WSe₂/MoS₂ TFET デバイスを作製した. 既報デバイスと比較すると, MoS₂が ~4 層から 3 層に, Al₂O₃を 60 nm から 30 nm に低減させた. また 4 層と 5 層の MoS₂ を多層 p⁺-WSe₂と 積層し電極を形成したデバイスについてもダイオード特性を測定した.

【結果及び考察】 20 K において V_{TG} = 15 V を印加したときの diode 特性に関して,本研究及び既報 デバイスを Fig.1 に比較する. MoS2 チャネル及び絶縁膜厚さの低減によりバンドアライメントが type II から type III に変化した. 負性微分抵抗(NDR)の傾向が確認できることから, 逆バイアス側はバント 間トンネル(BTBT)である. Fig. 2 に p⁺-WSe₂ と MoS₂の実効的な band offset を表す BTBT onset voltage の V_{TG} 依存性を示す.厚さ低減により,(i) $V_{TG}=0V$ におけるバンドアライメントの type II から type III への変化及び,(ii) Vrg印加時のバンドアライメント制御性の向上が確認できる.(i)で示した type III へ の変化は、MoS2の層数減少による影響であると考えられる.また(ii)で示した制御性の向上は、Al2O3 厚さ低減に伴うゲート容量増加により、界面欠陥の影響が抑制されたこと、及び MoS2の層数減少によ るヘテロ界面へのゲートの影響が大きくなったことの両方の寄与によるものと考えられる.

MoS2の層数のバンドアライメントへの影響についてさらに調べるため,4層,5層のMoS2を用いた p^+ -WSe₂/MoS₂ diode 及び Fig. 1 に示した 3 層と~4 層の MoS₂ を用いた TFET デバイスについて、 V_{TG} を 印加せずに 20K において測定した diode 特性を Fig. 3 に比較する. 層数の減少によるバンドアライメ ントの type II から type III への急激な変化が確認でき,層数減少に伴うバンドギャップの変化以上にバ ンドアライメントが変化していると考えられる. SPring-8 での XPS 測定によるポテンシャル分布計測 から p^+ -WSe₂/MoS₂ ヘテロ界面では無く, p^+ -WSe₂ のエッジから MoS₂ に電流が流れることが示唆され ており, エッジの幾何的構造及びエッジにおける MoS2の歪みの影響等, 特殊な状況によりバンドアラ イメントが層数によって大きく変化していることが推測される.更なる検討が必要であるが、本研究 において MoS2 層数の最適化によるバンドアライメント制御が可能であり, p⁺-WSe2/MoS2 TFET の特性 向上が期待できることがわかった.

【参考文献】 [1] J. He et al., Adv. Electronic Mater. 2018, 4, 1800207. 【謝辞】本研究は科研費及び JSPS「研究拠点 形成事業(A.先端拠点形成型)」により助成を受け行われた.



Fig. 1 Comparison of diode properties.





Forward

Fig. 2 BTBT onset voltage as a function of V_{TG}.

Fig. 3 MoS₂ thickness dependence of diode properties.