FeFET を用いた時間領域アナログ積和演算回路の特性評価

Evaluation of a time-domain analog weighted-sum calculation circuit using FeFETs

九工大・生命体工 [1]，産総研 [2]　○原田將敬 [1]，森江隆 [1]，高橋光恵 [2]，酒井滋樹 [2]
Kyushu Inst. Tech. [1], AIST. [2], °M. Harada [1], T. Morie [1], M. Takahashi [2], S. Sakai [2]
E-mail: morie@brain.kyutech.ac.jp

[背景・目的] 脳型 LSI の実現に向けて，超低消費エネルギーで積和演算を実行する時間領域アナログ積和演算回路方式が提案されている[1]．この方式では，1GΩ以上の高抵抗値を不揮発的に保持・制御するアナログメモリ素子をクロスバ配置する必要がある（図 1）．また，1,000 入力程度の超多入力演算の精度を確保するために ON/OFF 比が 3 桁以上必要あることが望ましい．そこで，我々は，FET のサブスレッショルド動作により大きな ON/OFF 比を実現できる強誘電体ゲート電界効果トランジスタ(FeFET)[2]を検討している．すでに，FeFET の抵抗を 2 桁以上アナログ的に制御できることを報告している[3]．今回，我々は，大規模な時間領域アナログ積和演算回路の実現に向けて，FeFET を用いた小規模な積和演算回路を作製し，性能を評価した結果を報告する．

[回路構成] FET のゲート絶縁膜として HfO_2 6 nm，その上部に強誘電体(Ca, Sr)$BiTaO_9$ (CSBT) 400 nm，電極として Pt を 200 nm 積層した Pt/CSBT/HfO/Si 構成の FeFET を用いた．この FeFET を組み合わせて作製した 3 入力 1 出力積和演算回路を図 2 に示す．メモリ回路部は他の行の FeFET への誤書込みを防止するために 2 個の FeFET で構成した．回路の後段には，過渡応答時間から FeFET のアナログ特性を評価するためにインバータを組み込んだ．なお，FeFET のメモリ機能を用いているのは図 2 の赤枠部のみである．測定では，図 2 の G および A1～A3 に書込み用の電圧を印加してメモリ用 FeFET のしきい値を変化させて ON 抵抗値を記憶させた．その後，読出し用の電圧を印加して ON 抵抗を通してドレインノードの寄生容量 C を充電する過渡応答時間を測定した．

[実験条件・結果] 図 2 に示すように各端子に電圧を印加した状態で，図 3 右図に示す RESET 用パルス電圧条件で G および A に印加後，READ 用パルスを G および A に印加し，Vout の変化をオシロスコープで観測した．この時，G はしきい値以下の電圧を印加し，サブスレッショルド領域で動作させた．その後 SET 用パルスを印加し，同様に READ 時の Vout を観測した．オシロスコープで観測した RESET および SET 後の Vout の過渡応答波形を図 3 に示す．RESET，SET の過渡応答時間はそれぞれ 348 ms，0.28 ms であり，両者の時間比は 1,250 倍であった．このことから高精度計算に必要な 3 桁以上の ON/OFF 抵抗比を得られることを確認した．

[謝辞] この成果は国立研究開発法人新エネルギー・産業技術総合開発機構（NEDO）の委託業務（プロジェクト名：高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発プロジェクト／②次世代コンピューティング技術の開発【未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明】）の結果得られたものです．

[参考文献]

[1] Q. Wang *et al.*, ICONIP (2016) pp. 240-247. arXiv:1810.06819 (2018).
[2] M. Takahashi and S. Sakai, JJAP, 44 (2005), L800.
[3] 原田他，第 78 回応用物理学会秋季学術講演会，8p-C18-2，p.12-454 (2017).

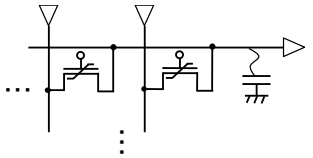

Fig. 1: Crossbar array with FeFETs.

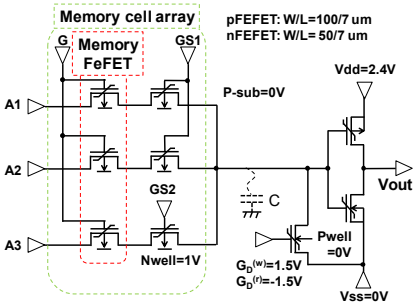

Fig. 2: Weighted-sum calculation circuit with three-inputs and one-output.

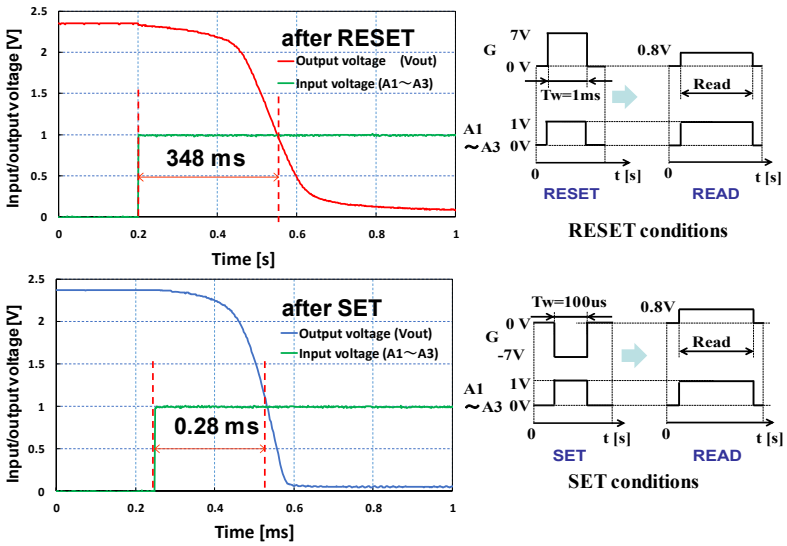

Fig. 3: Observed waveforms after RESET and SET operations.