

ナノギャップアレイにおけるシナプス動作を利用した パターン記憶の検討

Image Memorizing in Nanogap Array Using Field-Emission-Induced Electromigration

東京農工大院工¹、一関高専²

○佐藤友美¹、坂井奎太¹、南浩二¹、谷創貴¹、伊藤光樹¹、八木麻実子²、白樫淳一¹

Tokyo University of Agriculture & Technology¹, NIT, Ichinoseki College²

○T. Sato¹, K. Sakai¹, K. Minami¹, S. Tani¹, M. Ito¹, M. Yagi² and J. Shirakashi¹

E-mail: s156260y@st.go.tuat.ac.jp

我々は、ナノギャップの作製と構造制御の手法として、電界放射電流誘起型エレクトロマイグレーションを利用したアクティベーション法を提案している[1]。本手法では、ナノギャップへの通電により原子の移動を制御することで、ナノギャップ間隔の狭窄化とナノギャップのトンネル抵抗の減少制御が可能となる。さらに、本手法ではナノギャップへのパルス型の通電を行うことにより、Short-Term Plasticity (STP)や Long-Term Plasticity (LTP)、Spike-Timing-Dependent Plasticity (STDP)などの脳のシナプス可塑性を模擬した学習、記憶動作も可能である[2, 3]。このようなシナプス素子を利用しハードウェア上で高速・高効率のニューラルネットワークを実現するためには、素子の集積化が必要となる[4]。そこで今回の報告では、4個のシングルナノギャップを2x2のアレイ状に配置したデバイスに本手法を適用し、集積化されたナノギャップにおける学習動作とパターン記憶について検討した。

はじめに、2x2のAu シングルナノギャップ集積構造を、電子線リソグラフィとリフトオフプロセスによって作製した。図1に作製したナノギャップ構造のSEM像を示す。まず、各ギャップにおいて設定電流を①1 nA→②10 nA と段階的に増加させながらランプ電圧によるアクティベーション法を適用した。次に、4個のナノギャップに2x2セルのパターンを入力し、パターンでの学習を行った。パターン中の黒色のセルV₂₁とV₂₂に対応するGap 21とGap 22に電圧パルス(35 V, 25 ms)を0.25 s周期で印加したところ、電圧パルス印加の前後でギャップを流れる電流値が増加した。一方、白色のセルV₁₁とV₁₂に対応するGap 11とGap 12では、アクティベーションが誘起されない強度でRead電圧の印加を行った結果、電流値に変化は見られず、高抵抗の状態が保持された。すべてのギャップでパターン入力後もシナプスの結合強度が保持されたことから、LTP モードで情報が保存されたことを確認できた[5]。以上の結果より、2x2のナノギャップアレイにおいてギャップの電極間にアクティベーション法を適用し、パターンの記憶が可能であることが示唆された。

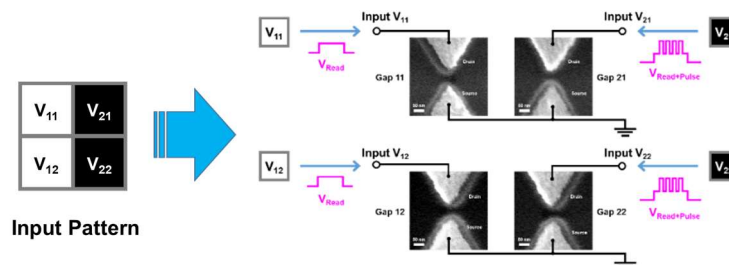


Fig. 1 Image memorizing setup and SEM images of 2 x 2 nanogaps.

References

- [1] S. Kayashima, K. Takahashi, M. Motoyama and J. Shirakashi, Jpn. J. Appl. Phys. Part 2 46 (2007) L907.
- [2] 坂井、南、谷、八木、伊藤、白樫: 第 65 回応用物理学会春季学術講演会 17p-F210-12 (2018).
- [3] 佐藤、坂井、南、谷、伊藤、八木、白樫: 第 79 回応用物理学会秋季学術講演会 20p-PB3-7 (2018).
- [4] X. Wu, V. Saxena and K. Zhu, IEEE J. Emerg. Sel. Topics Circuits Syst. 5 (2015) 254.
- [5] T. Ohno, T. Hasegawa, T. Tsuruoka, K. Terabe, J. K. Gimzewski and M. Aono, Nature Mater. 10 (2011) 591.