

集積化Auナノギャップにおける脳型演算特性

Implementation of Brain-Inspired Information Processing with Au Nanogap Arrays

東京農工大院工¹、一関高専²

○坂井奎太¹、佐藤友美¹、南浩二¹、谷創貴¹、伊藤光樹¹、八木麻実子²、白樫淳一¹

Tokyo University of Agriculture & Technology¹, NIT, Ichinoseki College²

○K. Sakai¹, T. Sato¹, K. Minami¹, S. Tani¹, M. Ito¹, M. Yagi² and J. Shirakashi¹

E-mail: s185338q@st.go.tuat.ac.jp

人間の脳はパターン認識や推論による問題解決に優れている。近年、このような脳型情報処理を模倣したコンピューティングに適したハードウェアの研究が活発に行われている[1, 2]。これまで我々は、ナノギャップのトンネル抵抗制御を行う手法として、ナノギャップでの通電による原子の移動現象を利用したアクティベーション法を提案してきた[3, 4]。また、Au ナノギャップにおいてパルス型の通電を行うことで、Spike-Timing-Dependent Plasticity (STDP)のシナプス可塑性を模倣できる[5]。そこで今回は、シナプス素子として Au ナノギャップを集積し、本手法を適用することで、脳型情報処理のための積和演算特性について検討した。

はじめに、電子線リソグラフィとリフトオフプロセスによって、数十 nm 程度の Au ナノギャップを 2x2 サイズのアレイ状に集積したサンプルを作製した。これら Au ナノギャップは、図 1 に示したようなネットワークにおいてシナプス結合の役割を担う。入力層のニューロンからの信号は電圧 V によって表現され、この信号はシナプス結合(コンダクタンス G)を通して積和演算により処理される。まず、学習の動作点を定めるため、予め Au ナノギャップに対しアクティベーションを適用し 4 つの素子を低抵抗化させた。次にシナプスの学習として、図 1 に示した 2x1 セルのパターン 1 を Gap 11 と Gap 21 に、パターン 2 を Gap 12 と Gap 22 に学習させた。パターンのうち黒色のセルに該当する素子には電圧パルスが印加され、Long-Term Potentiation (LTP)モードでシナプス結合が増強された。一方、白色のセルでは、Read 電圧の印加により結合が弱い状態の保持を確認した。その後、学習動作で用いた 2 つのパターンをそれぞれの素子に印加しテスト動作を行った。学習時と一致したパターンが再入力されると、テスト時における出力の電流値 I が大きくなることを確認した。以上の結果から、本手法を適用した Au ナノギャップアレイにおいて脳型情報処理の積和演算を実行できることが示された。

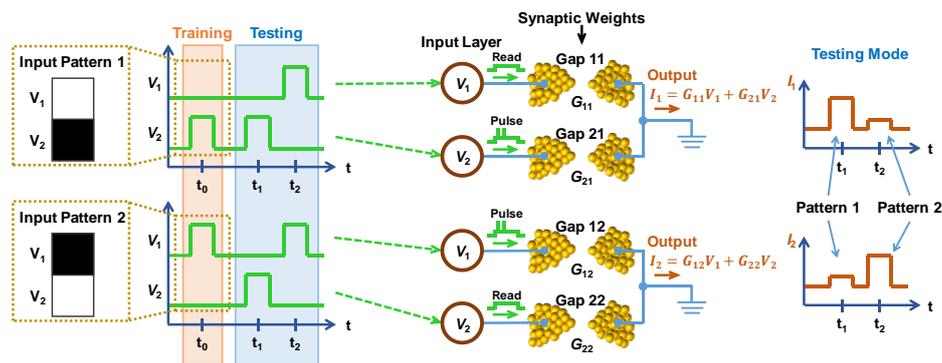


Fig. 1 Computing weighted summations with synapse arrays of Au nanogaps.

References

- [1] F. M. Bayat, M. Prezioso, B. Chakrabarti, H. Nili, I. Kataeva and D. Strukov, Nat. Commun. 9 (2018) 2331.
- [2] M. Chu, B. Kim, S. Park, H. Hwang, M. Jeon, B. H. Lee and B.-G. Lee, IEEE Trans. Ind. Electron. 62 (2015) 2410.
- [3] S. Kayashima, K. Takahashi, M. Motoyama and J. Shirakashi, Jpn. J. Appl. Phys. Part 2 46 (2007) L907.
- [4] Y. Tomoda, K. Takahashi, M. Hanada, W. Kume and J. Shirakashi, J. Vac. Sci. Technol. B 27 (2009) 813.
- [5] 坂井、南、谷、佐藤、伊藤、八木、白樫: 第 79 回応用物理学会秋季学術講演会 21p-221A-6 (2018)