MRAM array における単 bit⊿E 測定と retention 特性の相関解析

Analysis of relation between ⊿E of single bit and retention property on MRAM array

東芝メモリ株式会社 メモリ技術研究所 デバイス技術研究開発センター
°都甲 大，中山 昌彦
Device Technology R&D Center, Institute of Memory Technology R&D, Toshiba Memory Corporation
°Masaru Toko, Masahiko Nakayama
E-mail: masaru.toko@toshiba.co.jp

【はじめに】

MRAM(Magnetic Random Access Memories)は、磁性体/絶縁体/磁性体からなる MTJ(Magnetic Tunnel Junction)を基本構造とし、高速性や高い Endurance 特性を備えた不揮発メモリーとして期待されている。MRAM 技術開発の中で熱安定性⊿E は反転電流及びその retention 特性を考える上で特に重要なパラメーターであり、近年その評価手法や chip レベルでの retention 特性の評価結果に対する議論が活発化している[1-4]。一方で単 bit の特性と retention 特性の相関関係については報告が少なく、Gbit 級の大容量 MRAM を設計する上で大きな課題となる。本報告では 2Mbit の MTJ array における⊿E の単 bit の測定結果と retention 特性の相関関係について議論する。

【実験結果及び考察】

実験は 2Mbit の MTJ array を用いて行った。単 bit の⊿E 測定は電磁石による一定速度の外部磁場スイープによる反転磁場確率分布から求めた。Fig. 1 はその測定結果である。retention 測定は室温で全 bit の初期状態を"0"もしくは"1"に初期化し、測定温度で一定時間放置後に読み出しを行い初期状態からの変化した bit の割合で評価した。Fig. 2 は実験結果と単 bit の測定から予測されるフィッティング曲線を示している。本報告では、MRAM デバイスの retention 特性を記述するのに array 内 MTJ の平均⊿E だけでなく、そのバラつき、さらに参照層からの漏れ磁界バラつきまで考慮する必要があるとの知見を得た。これにより単 bit レベルの特性合わせ込みによる高精度なデバイス特性の設計が可能となった。講演では解析モデルや単 bit の測定結果から得られる解析パラメーターについても詳報する予定である。

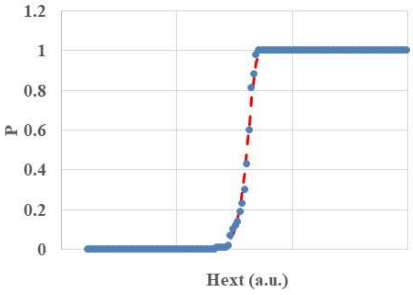

Fig. 1 Switching Field distribution for single bit on 2Mbit Array.

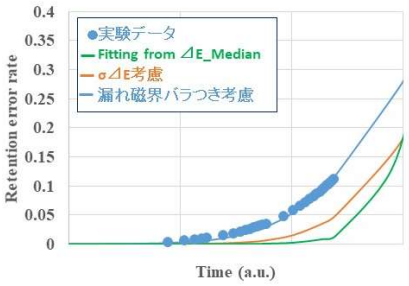

Fig. 2 retention property of 2Mbit Array and analysis. The result is well fitted by considering ⊿E and stray field from reference layer distribution.

参考文献

[1] K.Hofmann, et al., VLSI Tech. Dig., p78, 2014

[2] K.Tsunoda, et al., IEDM Tech. Dig., p486, 2014

[3] L.Thomas, et al., Appl.phys.Lett., **106**, 162402 (2015)

[4] L.Tille, et al., IEDM Tech. Dig., p667, 2016