

Si スロット $\text{Er}_x\text{Y}_{2-x}\text{SiO}_5$ 導波路に形成したグレーティングカプラの検討Study on Grating Coupler Formed on Si Slot Waveguide filled with $\text{Er}_x\text{Y}_{2-x}\text{SiO}_5$

電通大学情報理工 小澤正行、Delgado Fuentes Gabriel、中村絃人、田中康仁、一色 秀夫

Univ. of Electro-Communications, M. Ozawa, D. F. Gabriel, G. Nakamura, Y. Tanaka, and Hideo Isshiki

E-mail: ozawa@flex.es.uec.ac.jp

1. 背景および目的

LSI の性能向上のために、シリコン基板上で光学素子を実現するシリコンフォトニクスの開発が進んでいる。今後さらなる集積度の増加にともない、オンチップ集積した光増幅器の必要性が高まると考えられる。本研究室では、Cバンドで高い光学利得を持つ $\text{Er}_x\text{Y}_{2-x}\text{SiO}_5$ 結晶を用い、シリコンフォトニクスにおけるオンチップ光増幅器の開発を行っている。これまで、Si スロットに薄膜 $\text{Er}_x\text{Y}_{2-x}\text{SiO}_5$ 結晶を埋め込んだ Si スロット $\text{Er}_x\text{Y}_{2-x}\text{SiO}_5$ 導波路を提案した[1]。この構造では、TM モードにおいて中央の $\text{Er}_x\text{Y}_{2-x}\text{SiO}_5$ 導波路への強い光閉じ込めが生じ高い光増幅が得られるとともに、Si 細線導波路に直接接続、in-line 集積が可能になる。さらに DBR(分布ブラッグ反射器)が導入可能で様々な機能拡大が期待できる。本研究では、基板上 in-line での光入射、光検出を目的として Si スロット $\text{Er}_x\text{Y}_{2-x}\text{SiO}_5$ 導波路上に形成したグレーティングカプラ(Grating Coupler:GC)について検討を行った。さらに、RAS(Radical Assisted Sputtering)法を用いて GC をもつ Si スロット $\text{Er}_x\text{Y}_{2-x}\text{SiO}_5$ 導波路の試作を行った。

2. スロット構造およびグレーティングカプラ

GC を有する Si スロット $\text{Er}_x\text{Y}_{2-x}\text{SiO}_5$ 導波路の概略図を Fig.1 に示す。導波路部は、50nm の低屈折率 $\text{Er}_x\text{Y}_{2-x}\text{SiO}_5$ 導波路($n=1.8$)を 130nm の Si で挟んだ構造になっており、標準スケールの Si 細線導波路に in-line 集積が可能である。GC 部はスロット構造の上部 Si をエッチングしグレーティングを形成する。このとき $\text{Er}_x\text{Y}_{2-x}\text{SiO}_5$ 層がエッチングストップ層となる。

3. グレーティングカプラの設計・作製

等価屈折率を用いた導波路数値解析により格子間隔を見積もった後、プロセストレランスを考慮し、FDTD で格子間隔、充填率の最適化を行った。メッシュ $10\text{nm} \times 10\text{nm}$ で行った。導波路およびファイバの配置は図 1 の通りである。光源は波長 $1.53\mu\text{m}$ 、ガウス分布 TM モードとし 15° 傾いたファイバ端面から入射、スロット導波路端での導波光強度を調べた。

Fig.2 に FDTD のシミュレーション結果を示す。格子間隔 $1.04\mu\text{m}$ 、充填率 56% で結合効率 62.5%、プロセストレランスを考慮しても、60% 以上の結合効率が得られることが分かった。

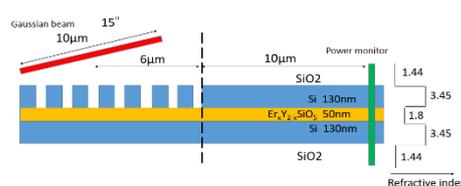


Fig.1 Schematic diagram of Grating Coupler formed on Si slot waveguide filled with $\text{Er}_x\text{Y}_{2-x}\text{SiO}_5$

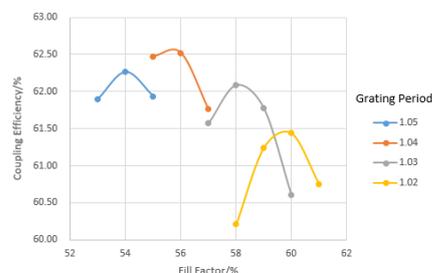


Fig.2 Coupling efficiency as function of the lattice spacing and filling factor of GC

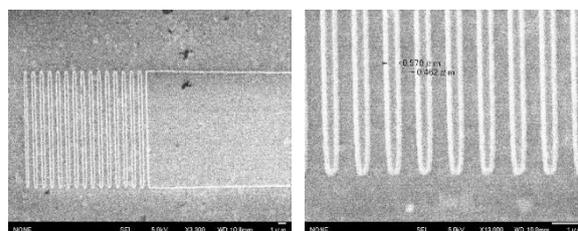


Fig.3 SEM image of GC

次に EBL(Electron Beam Lithography)と ICP-RIE(Inductively Coupled Plasma)により、GC の形成を試みた。GC 部の SEM 像を Fig.3 に示す。 $\text{Er}_x\text{Y}_{2-x}\text{SiO}_5$ 層がエッチングストップ層となっているため、エッチングが精度よく行われており、十分な設計精度の範囲に収まっていることが確認された。

4. まとめ

GC をもつ Si スロット $\text{Er}_x\text{Y}_{2-x}\text{SiO}_5$ 導波路の設計と試作を行った。構造は十分なプロセストレランスを持つことが分かった。今後は、光結合および導波特性を評価する。

参考文献

[1] Y.Tsuyuki et al., SSDM2016, PS-7-10 (2016).